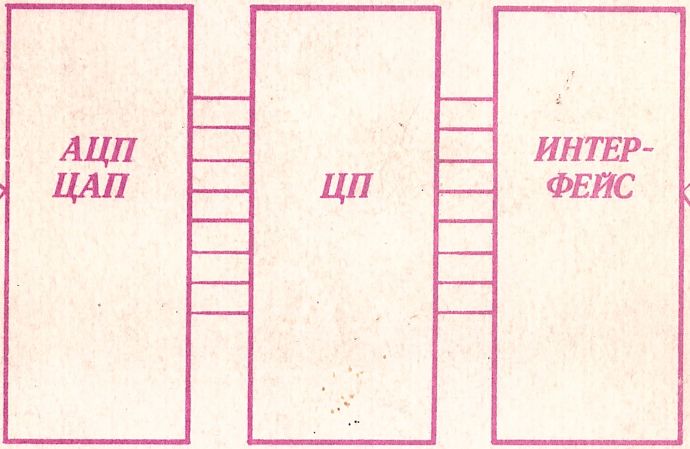
Р. И. Грушвицкий,
А. Х. Мурсаев,
В. Б. Смолов

АНАЛОГО-ЦИФРОВЫЕ ПЕРИФЕРИЙНЫЕ УСТРОЙСТВА МИКРОПРОЦЕССОРНЫХ СИСТЕМ



Р.И. Грушвицкий
А.Х. Мурсаев
В.Б. Смолов

АНАЛОГО-ЦИФРОВЫЕ ПЕРИФЕРИЙНЫЕ УСТРОЙСТВА МИКРОПРОЦЕССОРНЫХ СИСТЕМ

Ленинград
ЭНЕРГОАТОМИЗДАТ
Ленинградское отделение
1989

ББК 32.97
Г91
УДК 681.335.05

Рецензент *О. В. Щербаков*

Грушвицкий Р. И. и др.

Г91 Аналого-цифровые периферийные устройства микропроцессорных систем /Р. И. Грушвицкий, А. Х. Мурсаев, В. Б. Смолов. — Л.: Энергоатомиздат. Ленингр. отд-ние, 1989. — 160 с.: ил. ISBN 5-283-04450-5

Рассмотрены взаимодействие процессора с периферийными аналого-цифровыми устройствами и варианты решения типовых задач обработки аналоговых сигналов: линейное и нелинейное преобразование формы информации, автокоррекция преобразования, генерация и фильтрация непрерывных сигналов.

Для инженерно-технических работников, связанных с проектированием средств переработки информации.

Г $\frac{2404020000-103}{051(01)-89}$ 243—89 ББК 32.97

Производственное издание

Грушвицкий Ростислав Игоревич
Мурсаев Александр Хафизович
Смолов Владимир Борисович

АНАЛОГО-ЦИФРОВЫЕ ПЕРИФЕРИЙНЫЕ УСТРОЙСТВА МИКРОПРОЦЕССОРНЫХ СИСТЕМ

Редактор *С. С. Полигнотова*
Художник обложки *Е. В. Кудина*
Художественный редактор *Т. Ю. Теплицкая*
Технический редактор *А. Г. Рябкина*
Корректор *С. П. Минин*

ИБ № 2406

Сдано в набор 07.07.88. Подписано в печать 24.11.88. М-26623. Формат 84×108$^{1}/_{32}$. Бумага типографская № 2. Гарнитура литературная. Высокая печать. Усл. печ. л. 8,4. Усл. кр.-отт. 8,65. Уч.-изд. л. 9,19. Тираж 35 000 экз. Заказ № 1092. Цена 50 к.

Энергоатомиздат, Ленинградское отделение. 191065, Ленинград, Д-65, Марсово поле, 1.

Ленинградская типография № 2 головное предприятие ордена Трудового Красного Знамени Ленинградского объединения «Техническая книга» им. Евгении Соколовой Союзполиграфпрома при Государственном комитете СССР по делам издательств, полиграфии и книжной торговли. 198052, Ленинград, Л-52, Измайловский проспект, 29.

ISBN 5-283-04450-5

© Энергоатомиздат, 1989

ВВЕДЕНИЕ

В системах автоматического управления, информационно-измерительных комплексах, системах автоматизации эксперимента значительная часть исходной и управляющей информации представляется в непрерывной форме и ее обработка может выполняться цифровыми или аналоговыми методами. Преимущество цифровых методов — принципиальная возможность исключения инструментальной погрешности при вычислениях и оперативного изменения алгоритмов обработки информации. Кроме того, стоимость цифровых узлов существенно ниже стоимости аналоговых, а при интегральном исполнении степень интеграции цифровых узлов существенно выше, чем аналоговых. Возможность обработки непрерывных сигналов цифровыми методами, как правило, обеспечивается уровнем техники аналого-цифрового (АЦ) и цифроаналогового (ЦА) преобразования. Поэтому в развитии систем с представлением входной и выходной информации в непрерывной форме сохраняется тенденция использования структур с линейным АЦ-преобразованием мгновенных значений входных сигналов и обработкой полученных данных в цифровой форме. Выходные непрерывные сигналы в комплексах, реализующих этот подход, формируются в результате линейного ЦА-преобразования вычисленных значений выходных переменных.

Вопросы линейного преобразования формы представления переменных достаточно подробно освещены в публикациях научных коллективов, возглавляемых Э. И. Гитисом, А. Н. Касперовичем, А. И. Кондалевым, В. Б. Смоловым, Б. Г. Федорковым, В. М. Шляндиным, а также в других источниках. Широко известны разработки зарубежных фирм «Аналог Де-

вайс», «Интерсил», «Бурр — Браун», «Хайбрид Системз», «Кристалл» и др. Однако вопросы организации взаимодействия преобразователей со средствами цифровой обработки (взаимная синхронизация, использование вычислительных средств для улучшения характеристик преобразователей), а также вопросы учета особенностей процедуры преобразований в алгоритмах и структуре цифровой части потребовали дополнительных исследований и систематизированного изложения.

В последние годы появились аналоговые микропроцессоры — микросхемы, совмещающие преобразование формы представления информации и цифровую обработку. Это был серьезный шаг в построении систем обработки непрерывной информации. Однако возможности, предоставляемые гибридными компонентами для реализации вычислительных алгоритмов обработки, на наш взгляд, используются недостаточно.

Реализация вычислительных операций (суммирование, умножение, интегрирование и др.) гибридными средствами известны [3, 37], но совмещение таких средств с цифровыми вычислительными и управляющими блоками открывает широкие перспективы построения эффективных систем обработки непрерывной информации. Весьма перспективным представляется в том числе построение программируемых гибридных процессоров. Как и цифровой процессор, гибридный может выполнять последовательность операций под управлением цифрового блока. Перестройка на выполнение очередной операции осуществляется за счет коммутации гибридных узлов, чем обеспечивается их многофункциональное использование. Вся история развития микропроцессорных средств показывает, что именно многофункциональные программируемые устройства обладают максимальной конкурентоспособностью, так как определенное усложнение их структуры и связанные с этим производственные затраты окупаются увеличением серийности и дополнительными удобствами, предоставляемыми разработчикам систем. Предлагаемые в настоящей работе подходы основаны на переносе принципов построения цифровых процессоров (многофункциональность, программное управление, единство методов межмодульного взаимодействия) на гибридные устройства.

Одна из важных тенденций при построении развитых систем управления — переход к распределенным системам, содержащим несколько процессоров. Видное место здесь занимают системы, в которых несколько процессоров, называемых периферийными, работают под управлением центральной ЭВМ, на которую возлагается координация работ и организация взаимодействия подсистем управления, их оперативная перестройка при изменении решаемых задач и внешних условий. Гибридные процессоры также должны содержать средства для их включения в распределенную микропроцессорную систему (МПС).

При построении гибридных периферийных процессоров возникают следующие проблемы: выбор способов взаимодействия и взаимной синхронизации периферийного процессора и ведущей ЭВМ системы; создание структур, допускающих простую перестройку на решение различных типовых задач обработки аналоговой информации за счет коммутации компонентов; оптимизация распределения алгоритма между блоками вычислительной системы. Решению этих проблем посвящена настоящая книга.

В первой главе представлены возможные варианты организации вычислительных процессов при обработке непрерывной информации. Вторая глава посвящена изложению подходов к синхронизации работы блоков МПС и обмена информацией между ними. Принципы обмена, структурная организация системы и периферийных устройств иллюстрируются примерами из области цифровых микропроцессорных БИС. При этом имеется в виду необходимость использования тех же принципов при реализации подсистемы обработки непрерывной информации. Материал главы позволит корректно, с общих позиций подойти к выбору методов и средств взаимодействия, опирающихся на возможности стандартных интерфейсов и программных средств МПС.

В последующих главах рассмотрены алгоритмы и вопросы аппаратной реализации типовых задач обработки непрерывной информации. Предлагаемые варианты ориентированы на использование в разных задачах единой элементной базы и однотипных структурных решений, что является предпосылкой создания программируемых гибридных устройств, в частности в виде БИС или полузаказных гибридных

БИС. Это не отрицает возможности использования большинства технических решений при проектировании специализированных устройств обработки непрерывной информации.

Включение в состав МПС гибридных процессоров порождает большое разнообразие вариантов структурной организации. Оптимальное проектирование подобных систем связано с решением задачи выбора элементов — исполнителей отдельных этапов обработки. Многовариантность задачи требует привлечения машинных методов структурного синтеза. Возможный путь к ее решению предлагается в седьмой главе.

Книга написана на основе работ в области создания микропроцессорных систем обработки непрерывной информации, выполненных под руководством и при непосредственном участии авторов на кафедре вычислительной техники Ленинградского ордена Ленина и ордена Октябрьской Революции электротехнического института имени В. И. Ульянова (Ленина) в 1980—1985 гг. На отдельных этапах в этих работах участвовали сотрудники кафедры А. А. Воротов, Б. А. Манчев, П. Б. Могнонов, О. В. Шишов, которым авторы выражают искреннюю благодарность.

Авторы признательны также рецензенту — д-ру техн. наук профессору О. В. Щербакову за ряд ценных замечаний, способствовавших улучшению книги.

Отзывы о книге, замечания и пожелания просьба посылать по адресу: 191065, Ленинград, Марсово поле, 1, Ленинградское отделение Энергоатомиздата.

Глава первая

ОБРАБОТКА ИНФОРМАЦИИ В ПЕРИФЕРИЙНЫХ АНАЛОГО-ЦИФРОВЫХ ПРОЦЕССОРАХ И ОБЛАСТИ ИХ ИСПОЛЬЗОВАНИЯ

В системах обработки непрерывной информации возможны различные варианты организации вычислительного процесса. Во введении отмечалось, что и поныне доминирующее положение занимает организация, при которой гибридные блоки используются только для преобразования формы представления информации, а вычислительная обработка выполняется исключительно цифровыми средствами.

Такая организация процесса обработки данных иллюстрируется рис. 1.1, на котором обозначено: x и z — потоки непрерывных данных, передаваемых по нескольким каналам; X и Z — потоки цифровых данных, соответствующих значениям сигналов из потоков x и z в определенные моменты времени; Y — управляющая информация (программа работы периферийного процессора или иные сигналы управления от центральной ЭВМ системы); C — данные, передаваемые в центральную ЭВМ системы, отражающие состояние подсистемы обработки аналоговой информации или некоторые обобщенные характеристики потоков непрерывных данных; Y' — сигналы управления преобразователями (управление коммутаторами, режимом работы, синхронизация и т. д.). Интенсивность потоков C и Y существенно ниже, чем потоков X и Z.

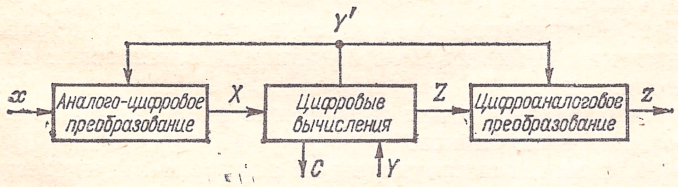


Рис. 1.1. Организация обработки непрерывной информации с применением только цифровых вычислений

Структура систем, реализующих такую организацию обработки, может топологически совпадать со схемой на рис. 1.1, т. е. содержать автономные ЦАП и АЦП, подключаемые к входным и выходным линиям блока цифровой обработки, но может и не совпадать. При вводе и выводе часто используют общие линии связи с цифровым процессором и даже один и тот же перестраиваемый блок ввода — вывода с разделением задач ввода и вывода во времени.

Достижения современной микроэлектронной технологии позволили совместить в одной микросхеме цифровой программируемый вычислитель и преобразователи формы информации (ПФИ). Такие микросхемы называют аналоговыми или цифроаналоговыми микропроцессорами. В качестве примера можно привести INTEL 8022, INTEL 2920, INTEL 8096 (фирма «Интел, США), 1813ВЕ1 (СССР).

Серийные аналоговые микропроцессоры реализуют вычислительный процесс в соответствии с рис. 1.1. На их основе создаются узлы обработки непрерывной информации сравнительно невысокой точности и быстродействия, характеризующиеся высокими экономическими и надежностными показателями.

Однако на пути использования чисто цифровой обработки сигналов, в том числе с применением аналоговых микропроцессоров, возникают трудности при обеспечении предельных характеристик по точности и быстродействию системы, ее контроля. Преодоление этих трудностей часто более эффективно, а иногда и единственно возможно с применением цифроуправляемых аналоговых вычислительных преобразователей.

В результате комбинирования цифровых и аналоговых вычислительных преобразователей могут решаться следующие задачи:

1. Уменьшение статических погрешностей преобразования.

2. Расширение допустимой полосы частот обрабатываемых сигналов при сохранении статической точности.

3. Самоконтроль и саморемонт аналоговых и цифроаналоговых блоков.

4. Настройка структуры на априорно заданные параметры и адаптация к текущим параметрам потоков данных и внутреннему состоянию канала.

По аналогии с цифровыми микропроцессорами, унификация технического решения которых обеспечила им широкое внедрение во все сферы обработки информации за счет гибкости программирования, в цифроаналоговой технике следует ожидать наибольшего прогресса на пути поиска унифицированных структур. Программирование на определенном входном языке, аппаратно интерпретируемое коммутацией блоков, позволит оперативно перестраивать эти структуры на решение конкретной задачи.

Цепи коммутации блоков при современном состоянии техники электронных переключателей практически не вносят дополнительных погрешностей, а затраты, связанные с включением избыточного (для конкретных задач) оборудования, окупаются снижением номенклатуры узлов, увеличением серийности, сокращением сроков разработки специализированных каналов ввода — вывода ЭВМ и систем управления, возможностями гибкой перестройки алгоритмов управления без изменения технических средств.

Для оценки путей построения цифроаналоговых структур рассмотрим возможные варианты организации обработки потоков данных при смешанном представлении информации. Можно выделить три основных способа вычислительной обработки непрерывных и дискретных (цифровых) данных: последовательный, параллельный, комбинированный.

При последовательном способе (рис. 1.2, *а*) используются аналоговые вычислительные преобразователи входных и выходных сигналов системы управления. Типичные задачи, решаемые входным аналоговым вычислителем,— предварительная фильтрация и нормализация входных непрерывных сигналов. Выходной аналоговый вычислитель используют для интерполяции дискретных данных, формируемых на этапе цифровой обработки. Как будет показано в данной книге, выполнение в непрерывной форме ряда других задач обработки, например функционального преобразования, интегрирования, интерполяции, частотной коррекции, позволяет повысить эффективность каналов ввода — вывода, а также существенно повысить вычислительную мощность системы в целом при умеренном объеме дополнительного аналогового оборудования. Предполагается, что при аналоговых вычислениях часть информации может быть представ-

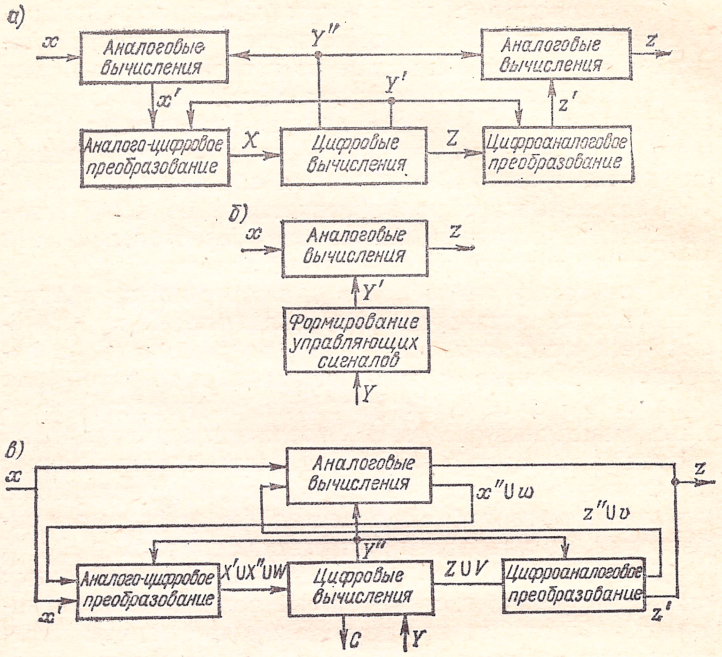


Рис. 1.2. Организация обработки непрерывной информации гибридными вычислительными средствами

лена в цифровой форме, но обязательно используется непосредственное преобразование непрерывных сигналов. Цифровая информация Y'' служит для перестройки структуры и параметров аналоговых вычислителей на решение конкретных задач обработки, а также используется в качестве операндов.

Цифровые преобразования реализуются универсальным программируемым блоком (микро-ЭВМ), специализированным цифровым узлом, а также их комбинацией. В дальнейшем реализацию конкретного преобразования средствами центральной или периферийной ЭВМ будем называть программной, а с помощью специализированных узлов — аппаратной реализацией.

При организации процесса в соответствии с рис. 1,2, *а* объем вычислений в цифровом процессоре существенно меньше, чем в схемах с исключительно цифровой обработкой. Ввиду прохождения всего пото-

ка данных через цифровой вычислитель и блок цифро-аналогового преобразования такая организация вычислительного процесса для многих типичных задач управления и автоматизированных систем научных исследований (АСНИ) не обеспечивает обработку данных в реальном масштабе времени на современных микро-ЭВМ общего назначения.

Пусть, например, допустима погрешность преобразования 0,1 %, что соответствует среднему уровню требований, предъявляемых к ПФИ в современных системах управления, а цикл обработки одного отсчета составляет 0,5 мс. Тогда при использовании широко распространенного метода восстановления непрерывного сигнала по дискретным отсчетам путем присвоения аналоговой величине в каждом интервале значения последнего отсчета (ступенчатая интерполяция сигнала) и с учетом того, что в системах управления обычно важны мгновенные значения управляющих сигналов, частота гармонического сигнала не должна превышать 0,3 Гц. В противном случае изменение сигнала за период дискретизации превышает допустимую погрешность.

Заметим, что микропроцессоры общего применения за приведенный в примере интервал времени могут выполнить лишь простейшую обработку, а в большинстве существующих систем цикл вычислений значительно выше. Кроме того, требования к погрешности могут быть еще более жесткими. Это приводит к тому, что допустимая частота обрабатываемых сигналов еще более снижается.

Проблема частично решается при использовании более сложных методов восстановления непрерывного сигнала в аналоговом процессоре. Если в выходном аналоговом вычислителе реализовано восстановление сигнала в виде линейной функции времени по смежным дискретным отсчетам (линейная интерполяция или экстраполяция), частота обрабатываемого сигнала может быть увеличена в 10—30 раз, причем с уменьшением допустимой статической погрешности эффективность линейной интерполяции падает. Методы восстановления с использованием интерполяции высших порядков пока применяются редко из-за трудностей технической реализации.

Параллельная аналоговая обработка данных (рис. 1.2, *б*) используется в системах управления быстропротекающими процессами и гибридных вычислительных комплексах. Аналоговые решающие схемы могут обеспечить обработку и передачу непрерывных сигналов с полосой десятки — сотни килогерц. Здесь роль цифрового процессора сводится к настройке аналоговой части системы на решение конкретной задачи, например задания вида функционального преобразования, частотных характеристик фильтров, начальных условий. Управляющая информация по каналам Y и Y' передается весьма редко. Функцио-

нальные возможности и точностные характеристики системы обработки аналоговой информации при такой организации целиком определяются составом аналогового оборудования, а поэтому существенно ограничены, несмотря на наличие цифрового процессора.

Третий, наиболее общий и функционально развитой,— комбинированный — вариант организации вычислений в периферийных аналого-цифровых процессорах приведен на рис. 1.2, *в*.

Все описанные ранее варианты можно рассматривать как частные случаи организации по варианту рис. 1.2, *в* и реализовать в рамках системы, обеспечивающей такую организацию.

Аналого-цифровому преобразованию здесь подвергается не весь поток выходных и входных аналоговых сигналов x и z, а лишь специально выделенные подмножества этих потоков x' и z'. Это позволяет расширить круг решаемых задач, во-первых, за счет увеличения частотного спектра сигналов, передаваемых с аналоговых входов на аналоговые выходы в обход канала цифровой обработки, и, во-вторых, за счет освобождения цифрового вычислителя от ряда простейших, но требующих существенных затрат машинного времени задач и использования высвобожденных ресурсов для решения «интеллектуальных» задач управления.

Потоки данных X' и X'' используются как для вычисления результатов Z и C, так и для организации управления аналоговым вычислителем и учитываются в алгоритмах формирования потока Y''. Таким образом, реализуются адаптивные алгоритмы управления и нелинейные преобразования для аналоговых вычислителей, содержащих только линейные блоки. На рис. 1.2, *в* обозначено: V — вспомогательный поток данных; w — реакция аналогового преобразователя на поток v, воспринимаемая цифровым вычислителем и используемая, например, для самоконтроля системы; $\cup$ — операция объединения множеств.

Среди задач, которые целесообразно решать в рамках подобной организации вычислительного процесса, прежде всего следует выделить задачу повышения точности высокопроизводительного аналогового вычислителя или канала ввода аналоговой

информации в цифровой вычислитель без ужесточения требований к параметрам их компонентов. Повышение точности может достигаться как технологическими методами, ориентированными на создание компонентов повышенной точности и стабильности, так и путем создания структур, ориентированных на компенсацию или коррекцию погрешностей исходных компонентов, т. е. структурными методами. Наличие цифрового процессора предопределяет эффективность структурных методов, в частности автоматического контроля и коррекции параметров аналоговых компонентов системы. В основе этих методов лежит оценка реакции аналоговых и цифроаналоговых узлов на тестовые воздействия.

Тестирующий сигнал (V на рис. 1.2, *в*) генерируется под управлением цифрового вычислителя, который по оценке реакции W вычисляет поправки или корректирующие воздействия Y''. Недостаток тестового контроля — необходимость прерывания процесса обработки полезной информации. Однако относительные затраты времени на контроль и объем оборудования могут быть невелики. Если же прерывание обработки текущих данных недопустимо, задача решается вводом нагруженного резерва для узлов, подвергающихся контролю. Обработка результатов тестового контроля может выполняться как в цифровой, так и в аналоговой форме. Формируются аналоговые величины или коды, которые представляют погрешности контролируемых параметров и в рабочем режиме используются для управления параметрами компонентов или преобразуются совместно с входным (выходным) сигналом.

До появления микропроцессоров применялась в основном аналоговая коррекция (поправка формируется в аналоговой форме без преобразования результата тестовых испытаний в цифровую форму) сравнительно небольшого набора составляющих погрешности — смещения, масштаба [4, 16], простейших видов нелинейности [27]. Увеличение вычислительной мощности систем управления, в том числе за счет включения микропроцессоров непосредственно в состав ПФИ, позволяет решить задачу автоматического контроля и коррекции для широкого класса источников погрешности. Целесообразность применения методов коррекции, основанных на цифровом вычис-

лении и формировании поправок, обусловлена тем, что при изготовлении подобных устройств удается избежать трудоемких операций, свойственных технологиям изготовления прецизионных компонентов, таких, как прецизионная фотолитография, лазерная подгонка, искусственное старение [30]. Поэтому при реализации устройств с погрешностью в пределах 0,02—0,10 % применение методов автокоррекции экономически оправданно. Более того, во многих случаях обеспечивается сочетание точности и быстродействия, не достижимое в обозримом будущем при использовании исключительно технологических методов.

Автоматический контроль и коррекция требуют ввода дополнительного оборудования (коммутаторы, аналоговые сумматоры, АЦП, ЦАП). Обычно удельный вес прецизионных преобразований в системах управления относительно невысок и значительное число преобразований может выполняться без использования дополнительных устройств. В это время «избыточные» блоки свободны и могут переключаться на выполнение других функций. Поэтому на одном и том же оборудовании можно в одном интервале времени выполнять самоконтроль, или точное преобразование, а в других — параллельное преобразование нескольких сигналов. Коммутация таких блоков в цепи специальной конфигурации позволяет (практически без дополнительных затрат и ухудшения метрологических показателей) при недогрузке канала ввода — вывода реализовать функциональные преобразования и преобразование формы представления и, следовательно, разгружать цифровой вычислитель.

Иными словами, на базе многоканальных устройств линейного цифрового и цифроаналогового преобразования с автокоррекцией, которые так или иначе должны присутствовать в системе обработки аналоговой информации, можно строить блоки, перестраиваемые на решение широкого класса задач, в том числе прецизионного функционального преобразования, генерации и фильтрации сигналов с перестройкой в широкой полосе частот, самоконтроля и саморемонта каналов ввода — вывода.

Использование параллельно работающих, взаимодействующих программно-управляемых цифровых, аналоговых и цифроаналоговых устройств обработки данных на периферии управляющих вычислительных

комплексов позволяет повышать технико-экономические показатели систем управления, а в ряде случаев добиться параметров, не достижимых другими средствами.

Глава вторая

АРХИТЕКТУРА ПОДСИСТЕМЫ ВВОДА — ВЫВОДА АНАЛОГОВОЙ ИНФОРМАЦИИ В МИКРОПРОЦЕССОРНОЙ СИСТЕМЕ

2.1. Задачи организации подсистемы ввода — вывода

Настоящая глава посвящена вопросам сопряжения ПФИ с микропроцессорами и микропроцессорными системами, включая вопросы проектирования ПФИ в составе аналого-цифрового периферийного прибора. Для выявления эффективных методов организации взаимодействия ведущего МП с аналоговыми и аналого-цифровыми периферийными блоками и структуры этих блоков проанализируем основные методы, используемые в современных системах для связи ведущего МП с ведомыми цифровыми периферийными блоками, и вытекающие из этих методов свойства блоков сопряжения. Целесообразность такого рассмотрения обусловлена использованием цифровых периферийных устройств ввода — вывода в качестве промежуточных элементов для сопряжения ПФИ с МПС и перспективами создания гибридных БИС. Так как современная технология обеспечивает возможность размещения ПФИ, блоков сопряжения и специализированных или программируемых устройств предварительной цифровой обработки в одной микросхеме, реальным и целесообразным становится переход к интеграции достаточно сложных коммутируемых и программируемых гибридных вычислительных преобразователей с соответствующими блоками цифровой передачи и обработки. Очевидно, что при проектировании подобных БИС должна соблюдаться преемственность (по отношению к цифровым БИС) функциональной и структурной организации и способов взаимодействия с остальными блоками системы.

Учитывая современную тенденцию в микроэлектронной схемотехнике — создание больших (БИС) и сверхбольших (СБИС) интегральных схем, будем рассматривать всю группу устройств, обеспечивающих совместимость ведущего центрального процессора (ЦП) и ведомого устройства ввода — вывода (УВВ) как единое целое. Введем понятие периферийной БИС (ПБИС) — интегральной схемы, реализующей приведенные функции. Отметим, что на определенных уровнях развития технологии задача сопряжения ЦП и УВВ решается посредством элементов меньшей степени интеграции с ориентацией на функции и архитектуру перспективных ПБИС.

Широкое распространение ПБИС связано с переходом к мультипроцессорной архитектуре МПС, преимуществом которой является возможность получения высокой производительности за счет широкого использования принципов децентрализации: параллельной обработки частей системной задачи, распределения системной задачи между функционально ориентированными процессорами, предназначенными для эффективного решения специализированных задач и обладающими ускоренной реакцией на запросы (за счет уменьшения очередей к автономным подсистемам). Такие системы обладают большей ремонтопригодностью за счет облегчения локализации неисправностей, упрощения процедур диагностики, возможности оперативного перераспределения задачи. Кроме того, упрощается и ускоряется разработка системы за счет разбиения системной задачи на относительно автономные подзадачи, реализуемые типовыми фрагментами.

Указанные преимущества достигаются только в том случае, если стандартизованы соединения и взаимодействия, а отдельные процессоры спроектированы с учетом возможностей мультипроцессорной работы. В процессорах должны быть предусмотрены стандартные, «закрытые» от ошибок пользователей эффективные методы решения основных проблем мультипроцессорной обработки — арбитража, синхронизации и взаимного исключения.

Сопряжение ПФИ с МПС — частный случай общей задачи организации операций управления внешним оборудованием в современных вычислительных системах.

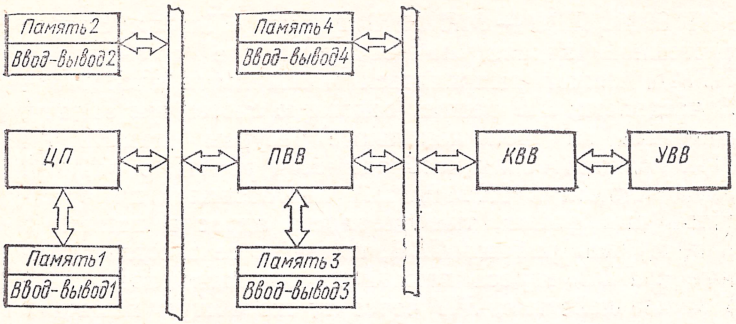


Рис. 2.1. Фрагмент системы ввода — вывода

Типичный фрагмент системы ввода — вывода приведен на рис. 2.1, в котором выделены четыре исполнителя операции ввода — вывода: *ЦП* системы со своим локальным периферийным окружением (память и ввод — вывод *1*) и со своим оборудованием (память и ввод — вывод *2*), доступным со стороны других активных элементов системы; процессор ввода — вывода (*ПВВ*), монопольно владеющий своими локальными ресурсами (память и ввод — вывод *3*) и на правах сопроцессора — общедоступными ресурсами *ЦП* (память и ввод — вывод *2*); контроллер ввода — вывода (*КВВ*), специализированный или программируемый пользователем, имеющим доступ к периферийному оборудованию ПВВ (память и ввод — вывод *4*) и обеспечивающий непосредственное подсоединение ведомого оборудования к МП; устройство ввода — вывода (*УВВ*), являющееся непосредственным исполнителем операции ввода — вывода.

Состав и структура приведенного фрагмента соответствует современным тенденциям организации сложных операций ввода — вывода, а именно: многоуровневости пользовательского программного обеспечения (уровень *ЦП*, *ПВВ*, программируемый *КВВ*); конвейерности и параллелизму при выполнении операций ввода — вывода; многошинности системы.

Типичность фрагмента подтверждается, например, реализацией на его основе задачи взаимодействия накопителя на гибком магнитном диске (НГМД) с ведущим МП [46]. Основными элементами системы в этом случае являются *ЦП* — МП 8086, *ПВВ* —

МП 8089, *КВВ* — МП 8272 фирмы «Интел». Запрос системной задачи на обслуживание со стороны НГМД может выполняться различными способами. В частности, *ЦП* решает основную системную задачу, опираясь на свои локальные ресурсы (память *1*). При возникновении необходимости работы с файлом, находящимся в НГМД, *ЦП* подготовляет информацию (имя файла, тип операции, адрес в памяти *2* и т. д.) для работы *ПВВ*, помещая ее в согласованные с *ПВВ* адреса памяти *2*. Выполнив подготовительные действия, *ЦП* через ту же общую память *2* уведомляет *ПВВ* о необходимости приступить к выполнению канальной программы, размещенной, например, в локальной памяти *3*. При выполнении канальной программы осуществляются действия, подготовляющие *ПВВ* и *КВВ*. На основе полученной от *ПВВ* информации *КВВ* с помощью встроенного в *ПВВ* контроллера прямого доступа к памяти выполняет конкретную подзадачу — обмен информацией между заданным сектором выбранной дорожки гибкого диска и памятью *4*. Кроме того, *ПВВ* обеспечивает обмен информацией между областями памяти *2* и *4* и информирует *ЦП* о завершении работы с заданным файлом, например формирует сигнал прерывания.

Высокая эффективность системы достигается за счет параллельной работы *ЦП*, *ПВВ* и *КВВ*, а также специализации отдельных соисполнителей операции ввода — вывода. Взятая в качестве примера задача могла быть решена другими вариантами структуры и с другим распределением функций между исполнителями.

Из фрагмента, приведенного на рис. 2.1, могут быть получены упрощенные и усеченные структуры. Например, в системе могут отсутствовать уровни ПВВ или КВВ. Переход к сокращенным структурам происходит на основе компромиссного решения относительно объема оборудования, объема возложенных на систему задач и производительности отдельных компонентов. Выбор конкретного набора исполнителей и варианта распределения функциональных задач осуществляется на этапе общесистемного проектирования (см., например, гл. 7).

Рассмотренный фрагмент и другие аналогичные решения позволяют выделить две группы исполнителей любой операции ввода — вывода — основных и дополнительных. Основными (и обязательными) яв-

ляются ЦП и УВВ, а дополнительными (вспомогательными) — ПВВ и КВВ. Применение периферийных приборов в составе МПС и их внутренняя организация определяются возможностями двух основных исполнителей операций ввода — вывода — ЦП и УВВ.

2.2. Системная оценка аналого-цифровых устройств ввода — вывода

Существует множество типов УВВ, отличающихся как по назначению, так и по основным свойствам — производительности, представлению и ритму передачи данных, что предопределило разнообразие архитектурных, структурных, аппаратных и программных решений операции ввода — вывода. Таким образом, выбор оптимальных вариантов построения подсистемы ввода — вывода является достаточно сложной проблемой проектирования МПС, тем более что эта подсистема определяет основные характеристики МПС в целом.

Рассмотрим некоторые вопросы представления информации в УВВ, а также способы управления ее формированием и передачей с учетом взаимосвязи этих способов с объемом информации и темпом обмена ею.

Применимость различных методов организации операций ввода — вывода определяется протоколом передачи групп данных, в том числе темпом передачи, наличием инициализирующих, синхронизирующих, управляющих и квитирующих сигналов. Требования протокола связаны со способами представления отдельных порций информации и не зависят от ее содержания.

В современных системах одинаково широко распространены три типа представления информации — последовательное, параллельное и параллельно-последовательное. При параллельном и параллельно-последовательном представлении наибольшее распространение получили УВВ с байтовым (8 бит) и словным (16 бит) форматом данных. Такие форматы в значительной мере определяются типичными значениями разрядности современных микро- и мини-ЭВМ.

По методам организации обмена данными УВВ удобно относить к одной из трех групп [18]: со

свободным, жестким и смешанным (полужестким) ритмом. Каждой группе свойственно определенное соотношение временных параметров УВВ (главным образом, времени доступности данных после инициализации $t_{дост}$) и МПС (такт работы микропрограммируемых узлов $t_{мп}$, длительность цикла ЗУ системы $t_{зу}$, длительность выполнения команды программного устройства $t_{ком}$, время реакции на запрос прерывания $t_{прер}$)[1].

Устройства ввода — вывода со свободным ритмом, полностью работающие под управлением ведущей системы, в свою очередь, подразделяются на УВВ с постоянной, синхронной и асинхронной доступностью после инициализации.

Устройство с постоянной доступностью способно принять или передать очередную порцию информации в любой момент времени, определяемый запросами ведущего устройства. Примером такого УВВ является ЦАП с входным буферным регистром данных. Устройство с синхронной доступностью способно к обмену в строго фиксированный момент времени после сигнала инициализации. Так, например, работает АЦП поразрядного уравновешивания при организации запуска процедуры преобразования от ведущего устройства. В зависимости от тактовой частоты и разрядности преобразования время $t_{дост}$, определяемое как произведение длительности такта на разрядность, принимает значения от соизмеримых с $t_{мп}$ до $t_{прер}$ в типовых МПС.

Соотношение $t_{дост}$ и временных параметров МПС определяет целесообразные или допустимые методы организации операции ввода — вывода. Так, при $t_{дост} \leqslant t_{зу}$ обычно допустимо использование состояния ожидания ведущего программируемого элемента, а при $t_{дост} > t_{ком}$ более целесообразны программные методы организации.

Устройство ввода — вывода с асинхронной доступностью после инициализации способно принимать или передавать очередную порцию информации в неопределенные заранее моменты времени после сигнала инициализации. Примером таких УВВ, могут служить АЦП развертывающего или интегрирующего типа,

[1] Практически для всех МПС выполняется соотношение $t_{мп} < t_{зу} < t_{ком} < t_{прер}$.

для которых $t_{дост}$ после начала преобразования является функцией входного сигнала, а для ведущего элемента МПС представляется как случайная величина с широким диапазоном значений. Обычно здесь применяют программный опрос готовности преобразователя или методы, основанные на прерываниях, но в общем случае эффективная организация операций ввода — вывода для УВВ этого типа представляется нетривиальной задачей.

В отличие от УВВ со свободным ритмом УВВ с жестким ритмом передает или принимает информацию в темпе, который определяется свойствами этого УВВ и на который невозможно воздействовать со стороны МПС. Примером УВВ этого типа, преобразующих форму информации, являются АЦП следящего и поразрядного уравновешивания, работающие в режиме циклического преобразования входного сигнала.

Устройства ввода — вывода со смешанным ритмом совмещают свойства ранее рассмотренных типов. Обычно работа такого УВВ может быть остановлена или инициализирована в определенные условные или безусловные моменты времени, так же как работа УВВ со свободным ритмом. В промежутках времени между инициализацией и остановкой УВВ функционирует в жестком ритме. Использование устройств такого типа позволяет проектировать наиболее эффективные подсистемы ввода — вывода в условиях ограниченных ресурсов МПС, поскольку допускается усложнение алгоритмов управления.

Деление УВВ, и особенно аналого-цифровых, на различные группы относительно, поскольку изменение ритма обмена (а значит, и «переход» из группы в группу) в большинстве ПФИ технически решается просто. Выбор ритма должен производиться с учетом задач определенной МПС на основании анализа потоков информации. В частности, возможность смешанного ритма определяется допустимостью пропуска ряда отсчетов АЦП в определенные моменты времени.

Следует подчеркнуть явно выраженную тенденцию к буферизации данных в УВВ, сводящую УВВ с жестким ритмом к УВВ со свободным ритмом. В таком режиме УВВ может функционировать до тех пор, пока системой обеспечивается темп работы, исклю-

чающий переполнение буфера. При превышении допустимого темпа необходимо возвращаться к механизму жесткого ритма, иначе возможна утеря порции данных.

2.3. Механизмы обмена, обеспечиваемые центральным процессором

Второй обязательный исполнитель операций ввода — вывода — центральный процессор, структура и система команд которого предопределяют всевозможные методы организации операций.

Существующие концепции построения вычислительных машин (единый интерфейс и канал ввода — вывода) разделяют методы организации операций ввода — вывода на два класса [23]: прямой ввод — вывод, когда результат операции оказывается в одном из регистров ЦП (чаще всего в аккумуляторе), и косвенный ввод — вывод, когда результат операции оказывается в памяти системы и передается в ЦП при выполнении команд чтения из памяти.

Прямой ввод — вывод облегчает доступ ЦП к передаваемой информации, но усложняет организацию групповых передач. Косвенный ввод — вывод, наоборот, приспособлен для групповых передач, но усложняет доступ ЦП к одиночным порциям передаваемых данных. В современных МПС наибольшее распространение получил прямой ввод — вывод, а косвенный реализуется в операциях прямого доступа к памяти (ПДП). В то же время наблюдается тенденция к совмещению достоинств обоих методов в системе команд и структуре ЦП, например процессора ввода — вывода К1810ВМ89.

Временно́е поведение ЦП при выполнении операций ввода — вывода целесообразно рассматривать как иерархическую последовательность уровней детализации, опирающуюся прежде всего на различие механизмов синхронизации асинхронных процедур ввода — вывода. Можно выделить четыре уровня временной детализации и соответствующие им механизмы синхронизации: межтактовый, межцикловой, межкомандный и межпрограммный.

Общим для всех механизмов является требование обеспечения синхронизации асинхронных процессов, протекающих в различных устройствах при выполне-

нии операций ввода — вывода. Синхронизация достигается за счет применения метода «запрос — ответ» [22]. При этом методе устройство, готовое к обмену, посылает сигнал «Запрос» ведущему элементу системы, например процессору. Ведущий элемент, закончив выполнение очередного этапа своей работы, принимаемого как неделимый (в зависимости от механизма — такт, цикл, команда или программный модуль), извещает запрашивающее устройство сигналом «Ответ» о готовности к обмену. Окончание процедуры обмена сопровождается снятием квитирующих сигналов «Запрос» и «Ответ».

Для различных уровней временной детализации могут использоваться модификации метода «запрос — ответ». Общим является то, что входной линии асинхронных запросов каждого уровня соответствует выходная линия подтверждения; это находит отражение в принятых названиях линий передачи квитирующих сигналов, например READY — WAIT (готовность — ожидание) на первом уровне, HOLD — HLDA (требование захвата — подтверждение захвата) — на втором, INT — INTA (требование прерываний — подтверждение прерываний) — на третьем. Специфическими являются достигаемые временные соотношения и требуемая аппаратно-программная поддержка как средствами МПС, так и средствами ПБИС.

Синхронизация асинхронных относительно ЦП воздействий на межтактовом уровне обеспечивается либо механизмом перевода ЦП в состояние ожидания сигнала готовности (введение тактов ожидания для процессоров К580ВМ80 и К1810ВМ86), либо механизмом «растягивания синхронизирующих импульсов» (М68000, М68006 фирмы «Моторола», США; «Электроника-60») [20]. Введение тактов ожидания предпочтительнее из-за обеспечения высокой эффективности внутренних операций конвейерных ЦП [46].

Основной недостаток межтактового механизма — блокировка всех действий на шинах ЦП, так как в состоянии ожидания готовности на выходных шинах ЦП удерживаются неизменными сигналы адреса, управления, а при операциях вывода — и сигналы данных.

Межцикловой уровень наиболее удобен для децентрализованного (без участия ведущего ЦП) управле-

ния ресурсами МПС. Использование соответствующего механизма позволяет вставлять в текущую последовательность выполняемых ЦП циклов отдельные циклы работы активных ведомых устройств, обеспечивает синхронизацию освобождения шин ведущим ЦП и разрешение доступа к ним со стороны ведомых устройств. В современных МПС для этого уровня можно выделить два основных способа управления ресурсами системы со стороны ведомых элементов — сопроцессорная работа и режим ПДП. Эти способы определяются управляющими возможностями ведомого оборудования в состоянии их активной работы.

При сопроцессорной работе ведомый процессор в случае необходимости доступа к ресурсам, разделяемым с ведущим процессором, запрашивает разрешение у арбитра и, получив разрешение, берет на себя управление разделяемой периферией, формируя циклы обращения к ресурсам, полностью аналогичные циклам ведущего ЦП. В режимах ПДП управление передачей информации от источника к приемнику осуществляется специальным контроллером ПДП, который формирует сигналы адреса памяти и сигналы управления (обращения к источнику и приемнику информации). Схемно контроллер ПДП размещается в ведущем элементе (INTEL 80186), в автономном устройстве КР580ИК57, INTEL 8237), в ведомом элементе (КР1810КМ89), а также в любых их комбинациях.

Синхронизация операций ввода — вывода на межкомандном уровне является традиционной для программируемых устройств, содержащих ЦП. Этому уровню соответствуют механизмы программных циклов ожидания, прерывания, семафоров, сопроцессорная работа.

Циклы ожидания синхронизирующих сигналов содержат последовательность команд чтения регистра слова состояния УВВ, побитной логической обработки этого слова и команды ветвления по результату логической обработки. Для ускорения реакции и упрощения программирования таких циклов в микропроцессорах введены команды, объединяющие несколько операций, характерных для цикла ожидания: совмещение чтения с побитной обработкой (команда ANLD PORT в микро-ЭВМ К1816ВМ35), условные переходы по состоянию входного контакта (контак-

ты Т0, Т1 в семействе однокристальных микро-ЭВМ К1816). В наиболее развитой форме тенденция к объединению операций проявляется в командах HALT (останов) и WAIT (ожидание), реализующих синхронизацию работы ЦП с параллельно протекающими процессами в УВВ. При использовании команды HALT сигнал готовности периферийного блока используется как запрос на прерывание, причем после выполнения программы обслуживания прерывания управление передается команде, следующей за HALT. Команда WAIT реализует ожидание изменения потенциала на внешнем контакте БИС. Основное отличие и достоинство команды WAIT по сравнению с состоянием неготовности на межтактовом уровне — доступность системных шин для ведомой периферии в операциях типа ПДП и возможность прерывания выполнения команды WAIT для реализации программы обработки прерываний с последующим возвратом к выполнению WAIT.

Параллельное выполнение в мультипроцессорной системе нескольких асинхронных процессов требует решения задачи взаимного исключения. Широкое распространение получил механизм семафоров [1], гарантирующий доступ различных процессов к разделяемым ресурсам и защиту ресурсов от одновременного доступа к критическим областям (например, область памяти, запись данных в которую одним процессором может нарушить выполнение программы другим процессором). Основой взаимного исключения является неделимость операции доступа к критической области, защищаемой так называемым семафором — содержанием определенной ячейки памяти или регистра. Совмещение в одной МПС синхронизации на межкомандном и межцикловом уровнях требует введения в систему команд процессоров, совместно владеющих ресурсами, специальных команд, которые управляют работой семафоров и не допускают разделение выполняемой команды запросами со стороны других элементов МПС.

Один из методов создания таких неделимых операций использован в семействе ЦП с базовым элементом КР1810ВМ86, в котором неделимость достигается за счет введения системного сигнала запрета доступа других устройств к шине LOCK. Этот сигнал формируется на выходной линии ЦП при выполнении любой команды, если ей предшествует однобайтный префикс LOCK. Такая организация защищает операции, выполняемые ЦП. Для защиты операций, выполняемых под управлением активных ведомых элементов МПС, необходима аппаратная поддержка сигнала LOCK со стороны всех элементов, разделяющих общие ресурсы.

Межкомандный уровень используется для прерываний выполнения последовательности команд

программой, обслуживающей УВВ, которое запрашивает обмен. Прерывания повышают эффективность работы ЦП за счет освобождения его от необходимости периодического опроса УВВ и определения потребности в обслуживании. Прерывания широко используются совместно с другими способами (например, ПДП, сопроцессорная работа), обеспечивая гибкое взаимодействие УВВ и ЦП при инициализации операций обмена, управлении одиночными операциями обмена, завершении групповых обменов.

Реализация прерываний достаточно подробно освещена в литературе [7, 22]. Отметим, что со стороны ЦП необходимо следующее: а) анализ запроса прерываний, его синхронизация с выполнением команд и формирование сигналов, подтверждающих удовлетворение запроса; б) запоминание места прерывания последовательности команд и возврат к этой последовательности; в) идентификация запроса при наличии нескольких источников прерываний и переход на запрашиваемую программу обслуживания.

Подсистемы прерываний в МПС строятся с различной загрузкой аппаратных и программных ресурсов. Большинство вариантов организации подсистемы прерываний различаются механизмами идентификации источников запроса, установления приоритета обслуживания или способами запоминания прерванной последовательности [6, 20]. Аппаратные средства поддержки прерываний территориально располагаются в различных элементах МПС: в ЦП (INTEL 80186), в специальном автономном устройстве (К580ВН59), в ведомом оборудовании («Электроника-60», INTEL 8256AH, INTEL 80130). Возможны комбинации указанных вариантов, включая отказ от аппаратных средств и реализацию всех действий на программном уровне (программный полинг).

Межкомандный уровень взаимодействия используется также для координирования работы ведущего и ведомых процессоров. В настоящее время используются два типа дополнительных процессоров: независимые и сопроцессоры.

Независимые процессоры выполняют собственный поток команд, считыванием которого они сами управляют, в двух режимах — локальном и дистанционном [47]. При дистанционном включении центральный и периферийный процессоры подключаются к системной

шине через индивидуальные устройства управления шиной и приемопередатчики адреса и данных. При локальном подключении оба процессора соединены локальной шиной и управляют общими приемопередатчиками совместно с контроллером системной шины.

При дистанционном включении синхронизация процессоров осуществляется на межцикловом уровне, а арбитраж шины и взаимное исключение, необходимые при мультипроцессорной обработке, выполняются стандартными методами организации доступа к общим ресурсам. Например, в семействе КР1810 эти функции реализует арбитр шины КР1810ВК89.

Обеспечение локального режима более сложно. Ведущий и ведомый процессоры должны иметь встроенные средства арбитража и взаимного исключения. Подобный механизм обеспечивается при взаимодействии ЦП типа КР1810ВМ86 и процессора ввода — вывода типа КР1810ВМ89. Они имеют двунаправленные линии RQ/GT [47]; объединение этих линий и обмен по ним квитирующими сигналами в соответствии с определенным протоколом позволяют разделять между процессорами ресурсы, подключаемые к локальной шине.

Особенность работы ведущего ЦП с сопроцессором — распределение команд сопроцессора среди команд ведущего процессора, причем основную работу по считыванию команд и операндов, предназначенных для обоих процессоров, выполняет ведущий ЦП. Распределение команд между процессорами обеспечивается различием кодов операций, причем оба процессора параллельно анализируют считываемую последовательность команд, автономно и различно выполняют очередную команду. Примером объединения ЦП и сопроцессора является соединение КР1810ВМ86 и КР1810ВМ87. Последний представляет собой арифметический сопроцессор, расширяющий архитектуру ведущего процессора и добавляющий ресурсы — дополнительные регистры, новые типы данных и команд.

Синхронность считывания команд достигается за счет объединения шин управления, шин данных и работы от единого тактового генератора (КР1810ГФ84 для процессоров серии КР1810). Так как БИС ЦП работает по конвейерному принципу, для синхронности обработки сопроцессор поддержи-

вает очередь команд, точно совпадающую с очередью команд ЦП, и информируется о состоянии очереди команд ЦП по специальным дополнительным линиям QS0, QS1 (состояние очереди команд). Командам, относящимся к сопроцессору, обязательно предшествует команда ESC (переключить). В процессе обработки команд сопроцессора ЦП считывает их, вычисляет адреса операндов и выполняет фиктивные обращения по этим адресам. Адреса, выставленные ЦП в фиктивных циклах, фиксируются в буфере адреса («ловушке») сопроцессора. При обнаружении «чужой» команды сопроцессор игнорирует ее, при обнаружении «своей» команды сопроцессор приступает к ее выполнению, если команда не требует обращений к памяти, или дополнительно обращается к памяти.

Необходимость дополнительных обращений возникает, если выполняемая команда требует считывания операнда из памяти или записи результата в память. Дополнительные обращения производятся по инициативе и под управлением сопроцессора, для чего в его состав включаются узлы, обеспечивающие следующее: выполнение процедуры запроса шины по принципам, используемым для независимых сопроцессоров (на межцикловом уровне); формирование необходимых управляющих шинных сигналов и выдачу на шину адреса, зафиксированного в ловушке во время фиктивного цикла чтения ЦП. Для обмена порциями информации, превышающими одно слово, в сопроцессоре используется механизм инкрементирования адреса, зафиксированного в «ловушке».

Так как ЦП считывает смесь своих и сопроцессорных команд в темпе исполнения собственных команд, темп поступления команд сопроцессора может превысить темп их выполнения. Для устранения несинхронности работы ЦП и сопроцессора возможно использование любых рассмотренных выше механизмов синхронизации асинхронных параллельных процессов, однако предпочтительнее механизм введения тактов ожидания, и прежде всего команды WAIT, которая анализирует состояние занятости сопроцессора выполнением предшествующей команды, опрашивая линию, объединяющую выходной контакт сопроцессора BUSY («занятость») и входной контакт ЦП TEST («проверка»).

Команда WAIT вставляется в общий поток команд в двух случаях. Во-первых, перед каждой командой, относящейся к сопроцессору, чтобы предотвратить попытки ЦП считать ее, если сопроцессор не в состоянии принять команду к исполнению, ввиду того что занят обработкой предшествующей команды. Во-вторых, перед теми командами ЦП, выполнение которых должно быть задержано до окончания параллельно выполняемой операции сопроцессора,— с целью исключения считывания данных, не обновленных сопроцессором.

Целесообразность межпрограммного уровня рассмотрения обусловлена тем, что в общесистемном плане элементами задачи являются не команды, а их группы, образующие программы, подпрограммы, процедуры. При организации взаимодействия процессоров, асинхронно выполняющих такие группы команд, возникают две важные проблемы: проблема выполнения асинхронно возникающих запросов на обслуживание параллельно решаемых подзадач (их инициализацию либо завершение) и проблема взаимного исключения при обращении к разделяемым ресурсам. Первая проблема обычно решается с привлечением механизмов прерываний, отличающихся от рассмотренных возможностью прерывания не после любой команды программы, а после определенных, защищаемых от прерываний фрагментов. Для решения поставленной задачи вводится дополнительное оборудование, выполняющее управление прерываниями: маскирование прерываний, изменение стратегии обслуживания запросов на прерывания и т. д.

Вторая проблема связана с исключением конфликтов при одновременных попытках доступа к ресурсу МПС, разделяемому несколькими асинхронными процессами. Доступ к ресурсу или его освобождение выполняется на межпрограммном уровне, так как это связано с завершением работы определенной программы или подпрограммы. Реализация обычно сводится к проверке индикатора занятости ресурса [1], но требует наличия в ЦП неделимой операции над семафором.

Подводя итог рассмотрению механизмов синхронизации асинхронных процессов в операциях ввода — вывода, следует отметить, что в общем случае по мере укрупнения неделимого этапа вычислительного

процесса наблюдается усложнение аппаратно-программной реализации соответствующего механизма. Однако это компенсируется большими возможностями управления параллельно протекающими процессами. Уменьшение неделимых этапов придает обмену большую оперативность, т. е. обеспечивает меньшее время реакции, более быстрое удовлетворение запроса.

2.4. Принципы организации и функциональные возможности существующих и перспективных периферийных БИС ввода — вывода

Помимо рассмотренных двух обязательных исполнителей любой операции ввода — вывода — УВВ и ЦП — в подавляющем большинстве случаев подобные операции требуют введения в состав МПС специальных устройств (группы ПБИС или отдельных ПБИС), обеспечивающих совместимость ведущего ЦП и ведомого УВВ, и прежде всего информационную совместимость по частотно-временным параметрам [28]. Другие аспекты совместимости обычно обеспечиваются единством используемой в ЦП и УВВ элементной базы.

Необходимость введения ПБИС и функции, возлагаемые на нее как на элемент сопряжения УВВ и ЦП, определяются из требований, диктуемых УВВ, и имеющихся ресурсов ЦП. Обычно ПБИС служат для преобразования формы передаваемых данных или темпа передачи, формирования требуемых управляющих воздействий, а развитые ПБИС — также для логических и вычислительных преобразований данных.

В отношении функций ПБИС можно разделить на «прозрачные», демпфирующие, БИС управления данными и обрабатывающие. Подобное деление подразумевает определенную иерархию: ПБИС высшего уровня обязательно включают в себя элементы и функции, свойственные нижним уровням.

«Прозрачные» ПБИС не влияют ни на темп, ни на содержание передаваемой информации. Необходимость их использования обычно диктуется требованиями электрической совместимости УВВ и ЦП — нагрузочной способностью, уровнями сигналов и возможностью отключения от микропроцессорной маги-

страли (наличие элементов с Z-состоянием). «Прозрачные» ПБИС применяются для подключения УВВ с постоянной и УВВ с синхронной доступностью после инициализации.

Демпфирующие ПБИС обеспечивают трансформацию временны́х характеристик передаваемых потоков данных. Они обычно используются для подключения УВВ с жестким ритмом. Задача временно́го демпфирования обмена данными между УВВ и ЦП технически решается за счет вре́менного хранения данных в локальных ресурсах ПБИС. При буферизации вводятся средства формирования сигналов сопровождения данных (запросов и ответов), передаваемых в сторону ведомого и ведущего оборудования.

К ПБИС управления данными относятся устройства, обрамляющие передаваемые данные управляющей информацией и изымающие обрамление при приеме. Обрамление определяется условиями работы и протоколом работы УВВ. Например, для протоколов последовательной асинхронной передачи, таких, как «Стык С2-ИС» (по ГОСТ 23675—79), ПБИС может выполнять задачи формирования синхронизирующих импульсов (стоп- и старт-биты), битов контроля четности и т. д. В задачах канального уровня обмена ПБИС, поддерживающие соответствующие типы протоколов (например, HDLC нормаль НМ МПК ВТ 10—78), вставляют и изымают метки. заголовки групп данных и т. д.

Управляющие ПБИС включаются в состав МПС в тех случаях, когда ни один из механизмов обмена ЦП не может обеспечить требуемый темп работы УВВ, например, при выводе на экран ЭЛТ, на НГМД. Применяют эти ПБИС и тогда, когда процессор способен реализовать функции обмена, например сканирование контактных датчиков, но возникает необходимость в разгрузке программного обеспечения ЦП.

Обрабатывающие, более сложные (развитые) ПБИС также включают в себя средства для буферизации и управления, но характер действий варьируется в зависимости от условий получения информации и обмена ею. Помимо обычных задач обмена информацией между ведущим и ведомым оборудованием на ПБИС этой группы возлагаются задачи дополнительной (обычно в темпе обмена) логической или вычислительной обработки. Методы и алгоритмы обра-

ботки, определяемые назначением проектируемой системы, задаются пользователем и являются неотъемлемой частью общего программного обеспечения системы.

При рассмотрении ПБИС целесообразно остановиться на эволюции средств сопряжения ЦП и УВВ. При появлении первых МП в 1971 г., а тем более после появления в 1974 г. представителя второго поколения МП — INTEL 8080, остро встал вопрос о сопряжении МПС с различными УВВ. Неприспособленность большинства типовых УВВ для непосредственного подключения к МПС привела к тому, что подключение каждого типа УВВ превратилось для каждого разработчика в уникальную техническую проблему, сложную и на сегодняшний день, несмотря на появление стандартных методов подключения.

На первом этапе развития МПС сопряжение выполнялось за счет интегральных схем малой (ИС) и средней (СИС) степени интеграции, сводящих на нет минимальность аппаратной реализации основного ядра МПС.

Революция в традиционных средствах ВТ произошла не столько после появления БИС МП, сколько после создания сопутствующих БИС общего назначения (БИС постоянной и оперативной памяти, системных генераторов, контроллеров, таймеров, контроллеров прерываний, ПДП, управления динамическими ОЗУ и т. д.), и в особенности специализированных БИС, ориентированных на выполнение операции ввода — вывода с теми или иными типами УВВ.

Среди БИС, ориентированных на операции ввода — вывода, следует выделить БИС программируемого параллельного интерфейса (ППИ) INTEL 8255 и ее аналог КР580ВВ55 (функциональные аналоги БИС INTEL 8255 были выпущены несколько позже и другими фирмами, например фирмами «Моторола» и «Зайлог», США). Схема INTEL 8255, по сути, является переходной ступенью между СИС и специализированными контроллерами ввода — вывода.

Интегральная схема INTEL 8255 обеспечивает широкие возможности управления операциями ввода — вывода за счет буферизации однобайтных данных обмена, системы перекрестного квитирования обмена в направлении от ПБИС к УВВ и системы

сигнализации о готовности буфера к обмену в направлении от ПБИС к ЦП. Анализ готовности выполняется по желанию разработчика либо чисто программным способом (через встроенный в ПБИС регистр состояния), либо аппаратно-программными способами с анализом состояния внешнего контакта ПБИС — флага занятости буфера. В последнем случае используется система прерываний или система опроса готовности.

Успехи технологии БИС привели к увеличению скорости выполняемых действий и числа элементов на кристалле. Это способствовало повышению «интеллектуального» уровня ПБИС и позволило решить специфические задачи управления в реальном масштабе времени широким кругом специализированного периферийного оборудования. К классу специализированных контроллеров, характеризующих второй этап развития техники управления операциями ввода — вывода, можно отнести контроллер связи HDLC/SDLC INTEL 8273, контроллер ЭЛТ КР580ВГ75, контроллеры гибкого диска INTEL 8271 и INTEL 8272, контроллер канала общего пользования КР580ВК91А и др.

Специализированные контроллеры позволили разгрузить программное обеспечение ЦП от решения специфических задач управления УВВ, распараллелить процессы обработки информации и, наконец, за счет специализации ПБИС обеспечить необходимую скорость обслуживания УВВ и определенную стандартизацию взаимодействия ведущего ЦП и ведомой ПБИС.

Требование повышения эффективности работы МПС и упрощения разработки системы программного обеспечения обусловило специализацию контроллеров на решение задач с ограниченной областью применения. При этом разработка контроллеров для каждого нового применения представляет собой дорогой и трудоемкий процесс.

Стремление преодолеть отмеченное противоречие обусловило появление БИС, ориентированных на операции ввода — вывода и характерных для третьего этапа развития схемотехники ПБИС. Общее для разработок БИС на этом этапе — попытка предоставления в распоряжение пользователя достаточно «интеллектуального» элемента, который мог бы реализовать

функции специализированных контроллеров при условии, что специализация выполнялась бы самим пользователем путем определенной настройки ПБИС.

Из трех возможных уровней настройки — схемотехнического (например, техника ПЛМ), микропрограммируемости и программируемости (техника универсального процессора) наиболее перспективен для однокристальной реализации при условии легкости специализации ПБИС пользователем уровень программируемости, поскольку на уровне микропрограммируемости трудно обеспечить однокристальную реализацию, а уровень схемотехнический в настоящее время характеризуется сложностью процедуры настройки ПБИС на заданное применение.

Указанные соображения привели к широкому распространению БИС универсального периферийного интерфейса (УПИ) 8041, выпущенной фирмой «Интел» в 1979 г. и являющейся типичным представителем этого этапа схемотехники ПБИС. Широкого распространения схемотехнических решений можно ожидать только при качественном упрощении проектирования и настройки ПБИС; в этом отношении перспективным представляется применение программируемых логических приборов типа 5С121 и 5С060 с ультрафиолетовым стиранием, начало производства которых было объявлено фирмой «Интел» в 1985 г.

Поскольку архитектура УПИ соответствует архитектуре ЦП с ППИ, то обеспечивается принципиальная возможность реализации на программном уровне любой операции ввода — вывода, если временные требования к ней допускают программное управление. В архитектуру УПИ заложена концепция ведомого элемента, при этом методы организации взаимодействия с ведущим элементом совпадают с методами, используемыми в специализированных контроллерах. Эти ПБИС, специализация которых достигается занесением программного обеспечения фирмы-изготовителя в масочное ПЗУ УПИ INTEL 8041А, с точки зрения пользователя являются специализированными контроллерами. К ним относятся, например, контроллеры клавиатуры INTEL 8278, формирования данных INTEL 8294, канала общего пользования КР580ВГ92 (интерфейс по ГОСТ 26.003—80), матричного печатающего устройства INTEL 8295.

Несмотря на оптимизацию системы команд в направлении повышения эффективности операций ввода — вывода, УПИ обеспечивает относительно низкую скорость обмена, поскольку в основе обмена информацией лежит выполнение программы.

Введение в состав УПИ специализированных элементов для связи с УВВ, например контроллера HDLC (УПИ INTEL 8044), позволяет увеличить скорость обмена, но ограничивает функциональные возможности УПИ.

Таким образом, положительные стороны третьего этапа эволюции техники ПБИС (гибкость применения и простота специализации на программном уровне) явились и основным ограничением на максимальную допустимую скорость выполнения операций ввода — вывода, особенно групповых. Естественный путь повышения скорости обмена при сохранении концепции программируемости — введение в ПБИС средств управления косвенными групповыми операциями ввода — вывода типа «входной буфер — память» и «память — выходной буфер» (режим локализованного в ПБИС ПДП), причем буфера в общем случае должны работать в сторону как ведомого, так и ведущего оборудования.

Сочетание программируемости с высокоскоростным управлением передачей данных получило широкое распространение на четвертом этапе развития техники ПБИС, начавшемся разработкой фирмой «Интел» процессора ввода — вывода 8089 (советский аналог КР1810ВМ89.) В этой ПБИС эффективность связи ведущего и ведомого оборудования обусловлена прежде всего переводом темпа доступа ПВВ к собственной периферии и к периферии ведущего элемента на уровень темпа обращения к ЗУ. Высокий темп доступа обеспечивается как встроенным высокоскоростным контроллером ПДП, так и соответствующими режимами работы процессора ввода — вывода. Невозможность непосредственного подключения к ПВВ каких-либо УВВ (ввиду необходимости дополнительных связующих компонентов) определяет целесообразность применения ПВВ в качестве промежуточного элемента между универсальным высокопроизводительным ЦП и специализированными контроллерами или УПИ, которые осуществляют непосредственное подключение ведомых УВВ.

Подобная конвейерная организация операций ввода — вывода наиболее законченное выражение нашла в развиваемой западноевропейской фирмой «ИНМОС» концепции построения систем на базе транспьютеров [62]. Производительность 32-разрядного ЦП транспьютера IMS T424 — 10 млн. операций в секунду. Он имеет возможность подключения ведомого оборудования к двунаправленному 8-разрядному порту ввода — вывода, а также подключения по четырем последовательным каналам других транспьютеров, часть которых может выступать в качестве ведущего, а часть в качестве ведомого оборудования. Наличие программируемых пользователем линий связи с другими транспьютерами позволяет строить системы не только по конвейерному, но и по матричному принципу, что существенно повышает производительность систем в тех областях применения, где допускается высокая степень распараллеливания вычислений.

Приведенный краткий обзор позволяет выделить следующие классы цифровых ПБИС: общецелевые и специализированные (обычно программно настраиваемые) контроллеры, контроллеры со сменной программой или алгоритмом функционирования, программируемые периферийные процессоры. Контроллеры, как правило, ориентированы на управление данными, т. е. изменение формы представления информации и темпа ее передачи без изменения смыслового содержания, а процессоры обеспечивают обе функции.

Нетрудно видеть, что существуют различные типы цифровых ПБИС, при этом каждый тип имеет предпочтительную область применения. По-видимому, и при создании аналого-цифровых ПБИС сохранится аналогичная тенденция — разработка БИС различных уровней сложности также с предпочтительной областью применения организованных подобно соответствующим цифровым ПБИС (контроллеры, программируемые периферийные процессоры).

Тенденция развития ПБИС всех классов состоит в расширении их «интеллектуальных» возможностей за счет постоянного усложнения архитектуры и функциональной организации, в увеличении степени универсальности за счет настраиваемости, управляемости и программируемости. Расширение «интеллек-

туальных» возможностей требует также адекватного усложнения методов взаимодействия ПБИС с ведущим и ведомым оборудованием, опирающихся на типовые методы и механизмы обмена рассмотренных обязательных исполнителей любой операции ввода — вывода — ЦП и УВВ.

Область применения специализированных контроллеров весьма обширна. Велико и разнообразие их параметров, уровней сложности. К специализированным контроллерам относятся как простейшие по функциональным возможностям микросхемы (контроллер последовательного интерфейса К580ВВ51, контроллер клавиатуры КР580ВН79), так и сложные, обеспечивающие выполнение комплексных операций ввода — вывода в темпе работы внешних устройств (контроллеры монитора — ЭЛТ КР580ВГ75, гибких дисков — КР580ВГ75, локальных сетей — 82501 и 82588 фирмы «Интел»). Функциональное назначение контроллера — демпфирование потока данных и простейшая специализированная обработка информации.

При организации связи специализированного контроллера с ведущим ЦП используются возможности, предоставляемые контроллеру современными ЦП: прямые операции ввода — вывода, программный опрос состояния буфера обмена, режим ПДП при заполнении или считывании буфера, обмен, основанный на механизме прерывания работы ЦП. Требуемая буферизация данных выполняется (в зависимости от целевого назначения контроллера и специфических особенностей передачи информации) за счет внутреннего буфера (КР580ВН79, КР580ВГ75), буфера, расположенного со стороны ЦП (INTEL 82064 и INTEL 82062), и буфера, расположенного со стороны ведомого оборудования (INTEL 82720). Наличие внешнего буферного ЗУ со стороны ЦП требует от контроллера организации обслуживания буфера, гарантирующей отсутствие конфликтных ситуаций между ЦП и контроллером в процессе работы с буфером. При установке буфера со стороны ведомого оборудования контроллер должен обеспечивать формирование всей совокупности сигналов, управляющих работой буфера, включая образование адреса ЗУ.

Ресурсы ПБИС УПИ фирмы «Интел» типа 8041, 8042, 80452 и 8096, занимающих промежуточное положение между специализированными программируемыми контроллерами и периферийными процессорами, позволяют решать задачи любого типа — буферизацию, управление и обработку. Достоинство ведомых процессоров — легкая программируемость задач любого указанного типа, а недостаток — невысокая производительность, малый объем внутренних ресурсов (буферные ЗУ, память пользовательских программ, устройства управления операциями ввода — вывода). Затруднено, а иногда и невозможно наращивание локальных ресурсов за счет подключения внешних компонентов.

Периферийные процессоры — процессор ввода — вывода

КР1810ВМ89, сопроцессор ПДП INTEL 82258, сопроцессор локальной сети INTEL 85586, графический сопроцессор INTEL 82786, текстовый сопроцессор INTEL 82730 — обеспечивают высокоэффективное решение проблем ввода — вывода, в частности повышения скорости групповых пересылок информации за счет встроенных контроллеров ПДП, и широкие возможности манипулирования с данными.

Процессоры этого же класса, ориентированные на универсальное применение и широкий круг задач (ПВВ КР1810ВМ89, транспьютеры IMS T222 и IMS T424, процессоры цифровой обработки сигналов, такие, как TMS 320 фирмы «Техас Инструментс», США), обычно имеют широкие возможности для наращивания локальных ресурсов. Специализированные периферийные процессоры обеспечивают высокую эффективность решения специализированных задач за счет аппаратной внутрикристальной реализации специфических функций — посылки — получения данных для локальных сетей или работу по видеотрактам на частотах выше 20 МГц для графических терминалов.

Достоинства гибридной обработки информации проявятся лишь в том случае, если будет обеспечена оперативная перестройка гибридного процессора. В связи с этим наибольший интерес представляют программируемые ПБИС. Кроме того, следует иметь в виду, что еще достаточно долго гибридные блоки будут изготовляться в многокристальном исполнении. В подобных системах цифровые ПБИС являются важными компонентами, реализуя «интеллектуальные» и некоторые интерфейсные функции. Поэтому на организации цифровых программируемых ПБИС остановимся подробнее.

Для оценки возможностей существующих ПБИС и анализа основных направлений их совершенствования как «интеллектуальных» посредников между ЦП и УВВ каждую ПБИС удобно представить состоящей из трех обязательных подсистем, имеющих самостоятельные принципы организации: блока связи с ведущей системой, блока связи с ведомым оборудованием и блока, определяющего внутренние («интеллектуальные») возможности ПБИС. Для современных ПБИС типично применение дополнительного, четвертого — блока расширения локальных ресурсов ПБИС, позволяющего за счет внешних относительно ПБИС элементов увеличивать объем существующих ресурсов и добавлять специфические ресурсы, необходимость которых определяется системной задачей.

Подобное деление ПБИС условно, поскольку архитектурные или структурные решения, заложенные в один блок, связаны с решениями, принятыми в дру-

тих блоках. Характеристики подсистем некоторых периферийных программируемых процессоров сведены в табл. 2.1.

Центральным определяющим в ПБИС является блок внутренних возможностей, остальные блоки вспомогательные. Основу центрального блока образует ЦП общего или специального назначения, который в своей работе использует стандартные встроенные в микросхему или подключаемые к ней блоки ОЗУ, ПЗУ, а в отдельных случаях и специальные блоки. Следует подчеркнуть, что в ПБИС используются высокоэффективные системы команд, ориентированные на операции ввода — вывода, арифметические вычисления, побитную обработку. Как видно из таблицы, основные тенденции развития центрального блока — увеличение разрядности ЦП, емкости памяти ЗУ, повышение быстродействия.

Программируемые ПБИС по структуре и принципам организации совпадают со стандартными ЦП, и для них остается справедливым большинство сформулированных для ЦП положений. При этом большинство программируемых ПБИС может использоваться автономно или даже в качестве ведущего ЦП в системах малой и средней производительности.

По структуре и принципам функционирования процессорного блока ПБИС также аналогичны ЦП. Отличие функционирования этого блока в ПБИС ранних разработок состояло в том, что не поддерживались внешние запросы обмена с внутрикристальными ОЗУ и ПЗУ на межтактовом и межцикловом уровнях. Это было обусловлено согласованностью временных характеристик процессорного блока с характеристиками внутренних ЗУ и нецелесообразностью (ввиду ограниченной емкости памяти) разделения ЗУ между параллельными исполнителями. С увеличением адресного пространства оказалось целесообразным введение внутрикристальных контроллеров ПДП, что применено в последних разработках (см. табл. 2.1).

Блок связи с ведомым оборудованием в общецелевых ПБИС обеспечивает обмен данными либо через встроенные в ПБИС порты ввода — вывода, либо через специализированные контроллеры, подключаемые к ПБИС (см. рис. 2.1). В специализированных ПБИС этот блок обычно строится на основе аппаратных

Таблица 2.1. **Характеристики периферийных программируемых процессоров**

Характеристика	INTEL 8041A	INTEL 8042	К1816ВЕ51	INTEL 80452	INTEL 8089	КМ1810ВМ89	TMS320	IMS T424
Разрядность ЦП, бит	8	8	8	8	16	16	16	32
Тактовая частота, МГц	6	12	12	16	12	5	—	5
Машинный цикл, мкс	2,5	1,25	1,00	0,75	1,25	3,4	0,2	0,02
Емкость памяти:								
внутреннего ОЗУ, байт	64	128	128	256	256	—	144×16	4к
внутреннего ПЗУ, кбайт	1	2	4	8	4×16	—	1,5×16	—
Разрядность Таймера, бит	8	8	2×16	2×16	2×16	—	—	32
Адресное пространство:								
внешних данных	—	—	64 кбайт	64 кбайт	—	1 Мбайт	16к×16	4Гбайт
внешних команд	—	—	64 кбайт	64 кбайт	64 кбайт	1 Мбайт	16 Мбайт	4Гбайт
Число:								
источников прерываний	4	4	5	8	8	2	—	5
уровней прерываний	—	—	2	2	8	2	1	1
линий ввода—вывода	18	18	32	40	48	—		15
Число и разрядность портов ввода—вывода	2×8	2×8	4×8	5×8	5×8	—	1×16	1×8
Дополнительные устройства	—	—	—	2 канала ПДП, 128-байтный буфер интерфейса	АЦП (10 бит, 8 каналов)	2 канала ПДП	Умножитель 16×16	4 линии последовательного ввода—вывода
Число контактов	40	40	40	68	68	40	68	84

методов преобразования, позволяющих обеспечить требуемое быстродействие.

При построении блока связи с ведомым оборудованием большое внимание уделяется организации системы прерываний, в том числе аппаратной поддержке прерываний. Как видно из табл. 2.1, наблюдается тенденция увеличения числа уровней прерываний и источников прерываний.

Блок расширения локальных ресурсов обеспечивает наращивание емкости памяти и числа внешних устройств. Функционирование этого блока отличается от функционирования блока связи с ведомым оборудованием тем, что необходимо обмен данными с внешними компонентами предварять выдачей адреса и формированием управляющих сигналов на выходных контактах ПБИС. В некоторых ПБИС синхронизация с временными параметрами внешних компонентов достигается посредством линии анализа готовности информации.

Работа блока связи с ЦП основана на механизмах межциклового и межкомандного уровней. Блок позволяет пользователю в зависимости от временны́х требований применять методы программного опроса состояния, режимы ПДП или синхронизацию на основе механизма прерываний ЦП.

Резюмируя анализ проблем проектирования периферийных приборов в интегральном исполнении, отметим основные тенденции, характерные для современного этапа развития их схемотехники. Прежде всего наблюдается устойчивая тенденция к переносу на ПБИС решения специфических задач связи с ведомым оборудованием и предварительной обработки вводно-выводной информации. Постоянно улучшаются эксплуатационные характеристики ПБИС и возрастают их «интеллектуальные» возможности. Постоянно увеличивается разрядность обрабатываемых данных, производительность ЦП (за счет роста тактовой частоты и повышения эффективности системы команд), емкость памяти (как внутрикристальной, так и внешнеадресуемой) эффективность взаимодействия с внешним оборудованием (как за счет развития традиционных приемов, так и за счет включения в состав ПБИС специализированных блоков).

К числу специализированных устройств, вводимых в состав ПБИС, относятся средства аналого-цифрового

и цифроаналогового преобразования. До последнего времени такие средства вводились в ПБИС лишь эпизодически (КМ1813ВЕ1, INTEL 8022, INTEL 8096) и использовались лишь как линейные преобразователи формы информации, что, в частности, объясняется технологическими проблемами. Однако и такое ограниченное использование АЦП и ЦАП (только как элементов блока связи ПБИС с ведомым оборудованием) обеспечивает эффективную реализацию алгоритмов обработки гибридной информации. В перспективе следует ожидать увеличения числа цифроаналоговых узлов, вводимых в состав внутренних ресурсов ПБИС, и их интенсивного использования не только для связи с ведомым оборудованием, но и для решения задач обработки, т. е. включения ПФИ в блок внутренних возможностей ПБИС. Подобные изменения внутренней архитектуры ПБИС позволят не только повысить эффективность программной обработки гибридной информации, но и расширить функциональные возможности будущих гибридных ПБИС на основе тенденций, характерных для цифровых ПБИС.

Создание и совершенствование аналого-цифровых ПБИС — актуальная задача проектирования систем обработки гибридной информации в реальном масштабе времени.

Глава третья

ЛИНЕЙНОЕ ПРЕОБРАЗОВАНИЕ ФОРМЫ ИНФОРМАЦИИ ПОВЫШЕННОЙ ТОЧНОСТИ

3.1. Методы повышения точности преобразователей формы информации

Успехи в микроэлектронике привели к массовому производству линейных аналого-цифровых и цифроаналоговых преобразователей в интегральном исполнении. В настоящее время преобразование с допустимой погрешностью 0,05—0,10 % (10—12 разрядов двоичного кода) достаточно обеспечено широкой но-

менклатурой серийных монолитных микросхем, отличающихся быстродействием и функциональными возможностями. В этом классе выпускаются [41]:

преобразователи малого быстродействия с временем установления 5—10 мкс для ЦАП и временем преобразования 5—10 мкс на разряд для АЦП последовательных приближений (серии К572 и К594);

преобразователи среднего быстродействия с временем установления 0,5—1,0 мкс для ЦАП (1108ПА1) и временем преобразования 10—20 мкс для АЦП последовательных приближений (К1113ПВ1);

быстродействующие преобразователи с временем установления 100 нс для ЦАП и временем преобразования 1 мкс для АЦП последовательных приближений (К1108ПВ1);

сверхбыстродействующие преобразователи — АЦП непосредственного считывания (параллельные) с временем преобразования десятки наносекунд. (В СССР выпускаются шести- и восьмиразрядные АЦП серии К1107. Известны десятиразрядные параллельные АЦП МР7685 фирмы «Микро-Пауер», США. Следует ожидать выпуска аналогичного отечественного прибора в ближайшее время.)

Средства стыковки с вычислительными средствами, в частности с микро-ЭВМ, зачастую включаются в состав микросхем ПФИ. Многие ЦАП содержат буферные регистры, а АЦП — шинные формирователи с тремя состояниями, управляемые стандартными сигналами обмена по магистрали («Чтение», «Запись», «Адрес»), узел управления режимом работы (например переключение в режим ЦАП или АЦП в микросхеме К572ПВ1), узлы синхронизации обмена, обеспечивающие прием и генерацию сигналов запуска и готовности. При отсутствии подобных блоков микросхемы ПФИ сопрягаются с микро-ЭВМ через параллельные адаптеры или порты ввода — вывода.

Возможности однокристальных ПФИ в отношении буферизации данных и предварительной обработки непрерывно расширяются. В последние разработки введены программируемые коммутаторы аналоговых сигналов, буферные запоминающие устройства (К572ПВ4), блоки арифметической обработки, преобразователи параллельного представления информации в последовательное (AD575 фирмы «Аналог Девайс», США). Известен ряд разработок, в

которых ПФИ интегрирован в БИС микропроцессора, т. е. создаются «интеллектуальные» ПФИ (INTEL 2920, INTEL 8022 и др.). До последнего времени такие интегрированные ПФИ имели относительно невысокую точность (разрешающая способность восемь двоичных разрядов), но уже начато производство БИС микропроцессора с встроенными десятиразрядными АЦП (INTEL 8096), способной работать в качестве периферийного процессора мультимикропроцессорной системы и осуществлять предварительную обработку аналоговой информации.

Однако типичные для монолитных ИС преобразователей уровни погрешности зачастую превышают допустимые для ПФИ в системах управления и научного эксперимента. Поэтому ведется интенсивный поиск путей построения устройств с приведенной погрешностью менее 0,001 %. Широко применяются компенсация погрешностей, подгонка параметров, стабилизация параметров во времени за счет искусственного старения, термостабилизация и другие приемы [30, 43]. Наилучшие по точности (без применения структурных методов) показатели достигнуты в ПФИ, реализованных по гибридной технологии, и модульных ПФИ: 16-разрядные ЦАП 8331-16 (фирма «Хайбрид Системз», США), К427ПА1 и АЦП КМП827ПА1, 18-разрядные ЦАП МР3706, DAC 374-18, DAC 370-18 (фирма «Хайбрид Системз») [30]. В настоящее время технологически возможно получать преобразователи с разрешающей способностью более 16 двоичных разрядов и соответствующей линейностью. Однако анализ температурных коэффициентов нелинейности (как интегральной, так и дифференциальной), имеющих порядок 10^{-6} $К^{-1}$, показывает, что изменение температуры окружающей среды на 10 °С ведет к потере линейности на один-два двоичных разряда. Фактор старения компонентов также ограничивает точностные характеристики ПФИ, обеспечиваемые технологическими методами.

В связи с тем что затраты на разработку и изготовление ПФИ увеличиваются с ростом точности и в любом случае сочетание технологических и структурных методов позволяет улучшить метрологические показатели по сравнению с использованием чисто технологических методов, в последнее время возрастает интерес к структурным методам повышения точности.

Дадим краткий обзор структурных методов повышения точности. Важнейшим признаком метода является класс учитываемых погрешностей. По этому признаку выделяются следующие методы [8, 27]:

1. Коррекция масштаба и нулевой точки характеристики.
2. Коррекция отклонения коммутируемых мер.
3. Коррекция нелинейности общего вида.

Методы коррекции нуля и масштаба детально разработаны и многократно обсуждались в литературе [4, 16, 27]. В данной работе рассматривается лишь их специфика при реализации совместно с методом коррекции нелинейности. Для достижения точности свыше 12 разрядов оказывается недостаточно коррекции только линейных погрешностей.

Существует несколько методов линеаризации характеристик.

1. Компенсационные методы, среди которых наибольшее распространение нашло использование вспомогательных резистивных матриц, управляемых кодом, обратным коду, подаваемому на основную матрицу [25, 44, 48]. Это позволяет уменьшить паразитное влияние кодозависимых токов, протекающих по общим шинам земли и питания, стабилизирует рассеиваемую мощность и тепловой режим схемы.

2. Методы преобразования систем координат, в том числе итерационные [4, 27]. К недостаткам данных методов можно отнести высокие, практически не реализуемые в монолитных ЦАП требования к симметрии характеристик двухвходовых ПФИ и большое время измерения.

3. Методы, связанные с построением алгоритмов измерений и обработки результатов, нечувствительных к ряду ошибок ПФИ. Здесь выделяются методы, основанные на многократном измерении, в частности на измерении несколькими преобразователями с различными характеристиками, а также на измерении различных параметров одного процесса.

Учет взаимной обусловленности результатов измерений, вытекающей из физической сущности измеряемых процессов, позволяет во многих случаях получать полные разрешимые системы уравнений, в которых результаты измерений являются параметрами, а ошибки ПФИ и реальные значения измеряемых

сигналов — неизвестными [15]. Например, измеряется несколько параметров процесса, оценочный функционал которых принимается за константу. Сравнивая вычисленное по результатам измерений значение функционала с его идеальным значением, оценивают погрешности ПФИ. Используют также осреднение и оптимальное статистическое оценивание. Перспективность методов этой группы обусловлена ростом вычислительной мощности управляющих систем, введением микропроцессорных средств в измерительные приборы. Следует отметить сравнительно узкую специализацию каждого из этих методов: алгоритмы зависят от свойств измеряемых процессов и связаны с областью применения измерительной системы или прибора. Используемые структуры ПФИ, как правило, традиционны.

4. Методы коррекции погрешности с периодическим тестовым контролем. Эти методы представляются наиболее универсальными, характеризуются многообразием, но однотипностью алгоритмов, на базе которых создано множество различных ПФИ.

В дальнейшем основное внимание в книге уделяется методам, ориентированным на автоматическую коррекцию погрешности ПФИ при его работе в составе управляющей МПС, т. е. при самокоррекции подсистемы ввода — вывода. Однако рассмотренные ниже методы пригодны также для настройки, подгонки параметров ПФИ при их изготовлении, метрологической аттестации, составлении калибровочных таблиц и т. д.

Главный принцип автоматической коррекции с тестовым контролем — идентификация (получение несмещенных состоятельных оценок) параметров модели ПФИ, отражающей с определенным уровнем абстракции и заданной точностью поведение функций погрешности преобразования на допустимом множестве входных воздействий. Если модель адекватна и ее параметры определены, то удается добавлением поправок к входной (выходной) величине или воздействием на элементы ПФИ компенсировать погрешности преобразования.

При любом методе коррекции с контролем по тестовому сигналу предусматриваются следующие действия:

1. Измерение характеристики ПФИ на достаточном для идентификации множестве тестовых воздействий.

2. Идентификация параметров ПФИ вычислением их отклонений от номинала по результатам измерений.

3. Вычисление корректирующих поправок для преобразуемых величин или требуемых воздействий на корректируемые блоки.

4. Формирование корректирующего воздействия.

Первые два пункта назовем этапом контроля, третий и четвертый — этапом преобразования. Для реализации этих действий вводятся дополнительные средства, которые могут вносить собственные погрешности. Выбор и оценка методов контроля и коррекции должны быть комплексными, учитывающими свойства ПФИ и погрешности, вносимые дополнительными средствами: погрешности мер, принимаемых за эталоны, измерителей, вычислений и коррекции.

В дальнейшем рассматривается коррекция ЦАП-элементов, вносящих основную погрешность в ПФИ наиболее распространенных классов.

Простейшая, но наиболее полная модель нелинейной составляющей погрешности ЦАП основана на допущении стабильности погрешности для каждого кода и случайной зависимости ее от кода. Очевидно, что идентификация такой модели требует измерения выходного сигнала на всех допустимых кодах (метод сквозного контроля). Обязательным для этого метода коррекции является использование прецизионного измерителя (калибратора или прецизионного ПФИ), имеющего класс точности выше, чем корректируемый ПФИ. Разность показаний измерителя и калибруемого ПФИ заносится в таблицу поправок, используемую для коррекции. Достигается высокая точность преобразований во всех точках шкалы при постоянной температуре [8, 39, 48].

Для работы в широком диапазоне температур используются дополнительные калибровочные таблицы [44] или аппроксимирующие поправки на температуру. Калибратор применим лишь для периодической метрологической аттестации прецизионных ПФИ.

Для оперативного контроля в условиях эксплуатации в качестве калибратора используются прецизионные генераторы развертывающего сигнала — линейного

[43] или периодического произвольной формы, которые компактны и сохраняют требуемые характеристики в широком диапазоне температур. Основной недостаток метода сквозного контроля — большое время коррекции наряду с разнородностью используемой схемотехники.

3.2. Коррекция цифроаналогового преобразователя с использованием линейной модели дискретных делителей

Большая группа методов автоматической коррекции, реализованных в прецизионных ПФИ, основана на предположении о независимости разрядных коммутируемых опорных мер от преобразуемого кода, т. е. принимается

$$U_{\text{вых}}(N) = \sum_{i=0}^{n} \alpha_i a_i + e_{\text{см}}, \qquad a_i = a_{i\,\text{ид}} + \Delta_i,$$

$$\Delta_i = \text{const}, \tag{3.1}$$

где $\alpha_i \in \{0,1\}$ — i-я разрядная цифра $(n+1)$-разрядного кода $\tilde{N}$, представляющего число N; $a_{i\,\text{ид}}$ — идеальное значение веса i-го разряда; $e_{\text{см}}$ — смещение характеристики ЦАП; Δ_i — погрешность задания веса i-го разряда.

Для ПФИ с двоичным позиционным кодированием значение $a_{i\,\text{ид}}$ пропорционально степени двойки: $a_{i\,\text{ид}} = a_{0\,\text{ид}} \cdot 2^i$.

Для идентификации $n+2$ неизвестных параметров модели ($e_{\text{см}}$; Δ_i, $i = 0,1, \ldots, n$) достаточно выполнить $n+2$ линейно независимых испытаний, т. е. подать $n+2$ различных кодов $\tilde{N}_j$, измерить $U_{\text{вых}}(N_j)$ и определить Δ_i решением линейной системы уравнений

$$\sum_{i=0}^{n} \alpha_i \Delta_i = U_{\text{вых}}(N_j) - U_{\text{вых. ид}}(N_j),$$

$$j = 1, 2, \ldots, n+2. \tag{3.2}$$

Результирующая погрешность оценки Δ_i обусловлена в основном погрешностью измерения $U_{\text{вых}}(N_j)$ и существенно зависит от набора кодов $\tilde{N}_j$, называемого планом тестового эксперимента. Лучшие планы, основанные на измерении значений $U_{\text{вых}}$, дают

коэффициент чувствительности к погрешности измерительного прибора, равный примерно пяти, что требует при одинаковой погрешности в пять раз более точного измерителя, чем для метода сквозного контроля. Под коэффициентом чувствительности понимается отношение максимального отклонения от реального значения оценки характеристики ЦАП, получаемой подстановкой в соотношение (3.1) решения системы (3.2), к погрешности измерительного прибора.

Требования к точности измерителя существенно снижаются при измерении не сигнала $U_{вых}(N_j)$, а разности выходных сигналов на кодах, представляющих близкие числа N' и N'' (метод дифференциальных измерений). Измерение такой разности может выполняться прибором с небольшим (по сравнению с диапазоном калибруемого преобразователя) диапазоном входных сигналов, вследствие чего та же точность идентификации достигается при большей приведенной погрешности измерительного прибора. Такие измерения с использованием аналоговой памяти и дифференциального АЦП описаны в работах [39, 50], но технически более прост подход, иллюстрируемый схемой на рис. 3.1. Хотя эта схема избыточна, она наглядно представляет принцип коррекции. Здесь *ЦАП1* — цифроаналоговый преобразователь, погрешность которого корректируется, *ЦАП2* используется как формирователь напряжения, компенсирующего погрешность *ЦАП1*, и как измеритель его погрешности. Вспомогательный *ЦАП3* генерирует в режиме контроля напряжения, близкие к напряжениям *ЦАП1*. Аналоговый коммутатор *SW* в соответствии с описанным далее алгоритмом подключает к входу компаратора выход *ЦАП3*, или источник напряжения, принимаемого за эталон масштаба преобразования, или шину нулевого потенциала, а в режиме аналого-цифрового преобразования — источник преобразуемого напряжения. Компаратор формирует сигнал $\alpha \in \{0,1\}$, значение которого зависит от знака разности выходного сигнала коммутатора и выходного сигнала устройства. Последний является суммой значений выходных аналоговых величин *ЦАП1* и *ЦАП2*. Необходимые на этапах контроля и преобразования коды генерируются блоком вычисления поправок и управления (например, микро-ЭВМ) и

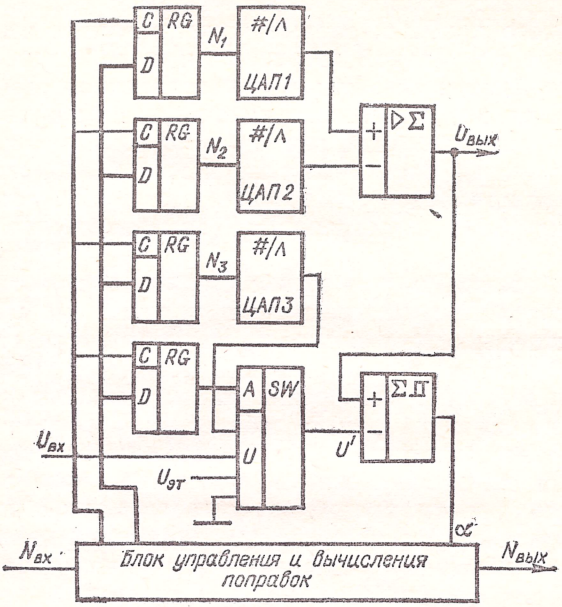


Рис. 3.1. Базовая структура ЦАП с контролем и коррекцией нелинейности

фиксируются в регистрах *RG* под управлением того же блока.

Рассмотрим последовательно основные этапы работы.

Этап контроля. Здесь n испытаний из числа $n+2$, необходимых для формирования системы (3.2), заменяются двумя — первым и вторым шагом соответствующего j-го испытания. Каждый шаг сводится к подаче на корректируемый — *ЦАП1* и вспомогательный — *ЦАП3* кодов $\tilde{M}_j^R$ и $\tilde{L}_j$ (R — номер шага испытания) и подбору на *ЦАП2* кода $\tilde{P}_j^R$, такого, что $|U_{вых} - U'| < \delta$ (δ — максимальная высота ступеньки характеристики *ЦАП2*). Для простоты дальнейших выкладок положим, что коэффициенты передачи сумматора и вычитателя по всем входам равны единице.

Различие номинальных значений коэффициентов и погрешности учитываются как соответствующие изменения параметров ЦАП. Подбор P_j^R выполняется по

поразрядному, следящему или иному алгоритму. При этом подбираются коды, обеспечивающие

$$e_{\text{см}} + \sum_{i=0}^{n} \alpha'_{ij} a_i + \sum_{i=0}^{m} \beta'_{ij} b_i = \sum_{i=0}^{k} \gamma_{ij} c_i + \xi'_j; \qquad (3.3)$$

$$e_{\text{см}} + \sum_{i=0}^{n} \alpha''_{ij} a_i + \sum_{i=0}^{m} \beta''_{ij} b_i = \sum_{i=0}^{k} \gamma_{ij} c_i + \xi''_j, \qquad (3.4)$$

где a_i, b_i и c_i — разрядные веса первого, второго и третьего ЦАП соответственно; m, n, k — разрядности ЦАП; $\alpha_{ij}^{(R)}$, $\beta_{ij}^{(R)}$ и γ_{ij} — значение цифр i-го разряда кодов $\tilde{M}_j^{(R)}\tilde{P}_j^{(R)}$ и $\tilde{L}_j$ соответственно на R-м шаге j-го испытания; $\xi_j^{(R)}$ — ошибка уравновешивания, меньшая максимального кванта *ЦАП2*.

Вычитая соотношение (3.4) из (3.3), имеем

$$\sum_{i=0}^{n} (\alpha'_{ij} - \alpha''_{ij}) a_i = \sum_{i=0}^{m} (\beta''_{ij} - \beta'_{ij}) b_i + \xi'_j - \xi''_j,$$

что эквивалентно измерению разности $U_1(N'_j)$ и $U_1(N''_j)$.

При $a_{i\,\text{ид}} = a_{0\,\text{ид}} \cdot 2^i$ получаем

$$a_{0\,\text{ид}} W + \sum_{i=0}^{n} (\alpha'_{ij} - \alpha''_{ij}) \Delta_i = P_j b_{0\,\text{ид}} + \xi_j,$$

$$j = 1, 2, \ldots, n, \qquad (3.5)$$

где $W = \frac{1}{a_{0\text{ид}}} \left(\sum_{i=0}^{n} \alpha'_{ij} a_{i\,\text{ид}} - \sum_{i=0}^{n} \alpha''_{ij} a_{i\,\text{ид}} \right) = N'_j - N''_j$, причем W обычно принимается за константу;

$$P_j = \frac{1}{b_{0\,\text{ид}}} (P''_j - P'_j) b_{0\,\text{ид}} = \sum_{i=0}^{m} (\beta''_{ij} - \beta'_{ij}) b_{i\,\text{ид}};$$

значение ξ_j кроме ошибок квантования ξ'_j и ξ''_j включает в себя разность погрешностей *ЦАП2* на кодах $\tilde{P}'_j$ и $\tilde{P}''_j$.

Система (3.5) не содержит параметров *ЦАП3*, что говорит о несущественности его точностных характеристик при их стабильности в одном цикле измерений. Однако чем меньше диапазон выходных сигналов *ЦАП2*, тем меньше результирующая погрешность

преобразования. Поэтому целесообразно, чтобы напряжение на выходе *ЦАП3* устанавливалось в текущем измерении как можно более близким к одному из напряжений $-U_1(N'_j)$ или $U_1(N''_j)$. Поэтому *ЦАП3* называют также генератором смещения. При идентичных по погрешности *ЦАП1* и *ЦАП3* принимают $L_j = N'_j$. Требования к точности *ЦАП3* можно снизить, если L_j подбирать в каждом цикле измерений, например по поразрядному алгоритму, добиваясь минимизации разности $U_{3j}(N_3)$ и $U'_1(N'_j)$.

Значение константы W, используемое в системе (3.5), следует выбирать достаточно малым. Для избыточных систем счисления возможно задание $W = 0$. Но и задание W равным весу младшего из разрядов, подлежащих коррекции, не приводит к существенному ухудшению результатов.

Существует достаточно много сочетаний дифференциальных испытаний (планов эксперимента), позволяющих строить и решать относительно Δ_i систему (3.5) в предположении о независимости Δ_i от кода. Но в настоящее время используется лишь один, предложенный в работе [39] план, правило формирования которого можно сформулировать так: $\tilde{N}'_j$ и $\tilde{M}_j$ содержат единицу только в j-м разряде, значение W принимается равным единице младшего значащего разряда ЦАП (1 МЗР) или единице младшего из корректируемых разрядов (1 МКР), т. е. $W = 1$ МЗР или $W = 1$ МКР.

В избыточных системах используют $W = 0$, а код $\tilde{N}''$ представляет то же число, что и код $\tilde{N}'$, но обязательно содержит нули в j-м и старших по отношению к нему разрядах.

Таким образом формируется n уравнений; $(n+1)$-е уравнение формируется по результатам измерений разности между напряжением источника, принимаемого за эталон, и выходным напряжением *ЦАП1* на коде, соответствующем эталону, а $(n+2)$-е — по результатам измерения выходного напряжения *ЦАП1* при подаче на него нулевого кода.

Возможности других планов изучены недостаточно. Существуют планы, обеспечивающие меньшую по сравнению с описанным чувствительность погрешности коррекции к погрешностям тестовых испытаний [25]. Преимущество рассмотренного плана — просто-

та решения системы уравнений (3.5), матрица которой оказывается треугольной и легко приводится к почти диагональной.

Для двоичных ЦАП при $W = 1$МЗР имеем $N'_j = M_j = 00\ldots010\ldots00$; $N''_j = 00\ldots001\ldots11$.

Идентификация параметров модели. С учетом вышеизложенного система уравнений (3.5) принимает вид

$$\begin{vmatrix} 1 & -1 & -1 & \ldots & -1 & -1 & -1 & 1 \\ 0 & 1 & -1 & \ldots & -1 & -1 & -1 & 1 \\ \cdot & \cdot & \cdot & \cdot & \cdot & \cdot & \cdot & \cdot \\ 0 & 0 & 0 & \ldots & 0 & 1 & -1 & 1 \\ \alpha_{мn} & \alpha_{мn-1} & \alpha_{мn-2} & \ldots & \alpha_{м2} & \alpha_{м1} & \alpha_{м0} & 1 \\ 0 & 0 & 0 & \ldots & 0 & 0 & 0 & 1 \end{vmatrix} \times$$

$$\times \begin{vmatrix} \Delta_n \\ \Delta_{n-1} \\ \ldots \\ \Delta_1 \\ \Delta_0 \\ e_{см} \end{vmatrix} = \begin{vmatrix} \xi_n + b_0 P_n - a_{0\,ид} \\ \xi_{n-1} + b_0 P_{n-1} - a_{0\,ид} \\ \cdot \cdot \cdot \cdot \cdot \cdot \cdot \cdot \\ \xi_1 + b_0 P_1 - a_{0\,ид} \\ \xi_м + b_0 P_м \\ \xi_{см} + b_0 P_{см} \end{vmatrix}, \qquad (3.6)$$

где $\alpha_{мi}$ — цифры кода $\tilde{N}_м$, подаваемого на *ЦАП1* при калибровке масштаба; $P_м$ и $P_{см}$ — числовые эквиваленты кодов, подбираемые на *ЦАП2* для достижения равновесия $U' \approx U_{вых}$ в схеме (рис. 3.1) при калибровке смещения и масштаба; ξ_i, $\xi_м$ и $\xi_{см}$ — погрешности соответствующих измерений.

При оценке Δ_i и $e_{см}$ естественно приходится пренебречь неизмеримыми малыми составляющими ξ_i. Влияние такого пренебрежения рассмотрено далее. Исторически первым методом оценки Δ_i явилось разрешение системы (3.6) «снизу вверх» [27] (по терминологии, введенной намного позже самого метода в работе [14]). При этом либо пренебрегают Δ_0, т. е. принимают a_0 за эталон масштаба характеристики, либо оценивают a_0, используя код $P_м$, содержащий единицу только в младшем разряде.

В основе метода — последовательное решение уравнений системы (3.6), начиная с нижнего, относительно неизвестной, соответствующей первому слева ненулевому коэффициенту, и подстановка ранее

определенных оценок в следующее по порядку «верхнее» уравнение. Таким образом, из последней пары уравнений (3.6) получаем

$$\Delta_0 = b_0 (P_{\text{см}} - P_{\text{м}}).$$

Подставляем оценку Δ_0 в третье снизу уравнение. Тогда

$$\Delta_1 = b_0 P_1 + \Delta_0 - a_{0\,\text{ид}} + b_0 P_{\text{см}}.$$

Подставляя Δ_0 и Δ_1 в очередное (снизу вверх) уравнение, имеем

$$\Delta_2 = b_0 P_2 + \Delta_0 + \Delta_1 - a_{0\,\text{ид}} =$$
$$= b_0 (P_1 + P_2) - 2 (a_{0\,\text{ид}} - \Delta_0 - b_0 P_{\text{см}})$$

и так далее.

Исходя из определенных оценок $i - 1$ младших разрядов, получаем

$$\Delta_i = b_0 P_i + \sum_{j=1}^{i-1} 2^{i-j-1} b_0 P_j - 2^{i-1} (a_{0\,\text{ид}} - \Delta_0 - b_0 P_{\text{см}}).$$

Если бы составляющие ξ_j были известны, они входили бы в результат с таким же коэффициентом, что и $b_0 P_j$, а пренебрежение ими приводит к соответствующей погрешности оценки Δ_i. Эту погрешность в дальнейшем будем обозначать χ_i. Таким образом, налицо большая чувствительность погрешности оценки χ_i к погрешности измерений ξ_i. Это является недостатком алгоритма разрешения системы (3.6) «снизу — вверх». Правда, как показано в работах [8, 32], результирующая погрешность сводится в основном к линейной составляющей, которая эффективно подавляется дополнительной коррекцией масштаба преобразования, но это требует дополнительных вычислений и увеличения разрядности данных при цифровой обработке.

Меньшую чувствительность к ξ_j дает решение системы со старшего («сверху вниз» [14]) разряда или одного из самых старших разрядов (по аналогии можно назвать «от середины к краям»). Здесь погрешности разрядов определяются последовательно, начиная с погрешности старшего. Вычитая (нумерация снизу) из любого $(j + 1)$-го уравнения системы j-е уравнение, получаем

$$\Delta_j = (\Delta_{j+1} - b_0 P_{j+1} + b_0 P_j + \xi_j - \xi_{j+1})/2 \qquad (3.7)$$

или

$$\Delta_{j+1} = b_0 (P_{j+1} - P_j) + 2\Delta_j + \xi_{j+1} - \xi_j. \qquad (3.8)$$

Это эквивалентно преобразованию системы (3.6) к такому виду, что во всех строках матрицы, кроме двух последних, содержатся два элемента — диагональный и его правый или левый сосед. Фактически в цифровой части вычисление ведется по формуле

$$N_{\Delta j} = (N_{\Delta,\, j+1} + P_{j+1} - P_j)/2 \quad \text{или}$$
$$N_{\Delta,\, j+1} = 2N_{\Delta j} - P_{j+1} + P_j,$$

где $N_{\Delta j} = -\Delta_j/b_0$ — оценка погрешности j-го разряда.

Наиболее просто разрешается система, если сигнал источника, принимаемого за эталон, равен требуемому значению веса одного из старших разрядов. Тогда $P_м$ содержит единицу только в этом (k-м) разряде и два последних уравнения позволяют определить

$$\Delta_k = b_0 (P_{см} - P_м).$$

Затем по рекуррентным соотношениям (3.7) или (3.8) определяются остальные Δ_j. Можно показать, что при разрешении с самого старшего разряда ошибки оценки погрешностей составляют

$$\chi_{n-k} = \frac{1}{2}\xi_{n-k} - \frac{1}{2}\xi_{n-k+1} - \frac{1}{4}\xi_{n-k+2} + \ldots$$
$$\ldots + \frac{1}{2^{-k}}(\xi_{n-1} + \xi_k + \xi_м - \xi_{см}), \qquad (3.9)$$

т. е. усиления влияния первичных измерений на результат в отличие от алгоритма «снизу вверх» не наблюдается.

Если невозможно регулировать сигнал источника, принимаемого за эталон (например, нормального элемента), и значение этого сигнала является суммой идеальных значений весов некоторого произвольного набора разрядов, применима итерационная процедура оценки весов разрядов:

$$\Delta_j^{(i)} = \left[\Delta_{j+1}^{(i)} - b_0 (P_{j+1} - P_j)\right]/2, \quad j = n-1,\ n-2,\ \ldots,\ 1,\ 0;$$

$$\Delta_n^{(i+1)} = b_0 (P_м - P_{см}) - \sum_{j=0}^{n} \Delta_j^{(i)} \alpha_{мj}, \qquad (3.10)$$

где i — номер итерации; $\Delta_n^{(i)}$ — начальное значение оценки погрешности старшего разряда, которое может приниматься нулевым.

По чувствительности к ξ_j итерационный алгоритм близок к алгоритму разрешения от разряда с весом, ближайшим к эталону.

Коррекция преобразователя. В рабочем режиме на ЦАП подается код, подлежащий преобразованию, $\tilde{N}_{\text{вх}} = \{\alpha_n, \ldots, \alpha_2, \alpha_1, \alpha_0\}$, который в идеальном случае должен преобразоваться в напряжение $U_{\text{ид}}(N_{\text{вх}}) = \sum_{i=0}^{n} a_{i\,\text{ид}}\alpha_i$. Известны реализации, в которых коррекция по результатам контроля осуществляется воздействием непосредственно на элементы, задающие веса, индивидуально для каждого разряда. Однако схемы с общей коррекцией для всех разрядов, подобные приведенной на рис. 3.1, оказались более экономичными и не менее точными. Для коррекции по такой схеме на *ЦАП2* подается код числа:

$$P_{\text{корр}} = \sum_{i=0}^{n} \alpha_i N_{\Delta i} - P_{\text{см}}; \qquad (3.11)$$

тогда на выходе аналогового сумматора получаем

$$U_{\text{вых}} = \sum_{i=0}^{n} \alpha_i (a_{i\,\text{ид}} + \Delta_i) + b_0 P_{\text{корр}} - e_{\text{см}} + \xi_{\text{корр}},$$

где $\xi_{\text{корр}}$ погрешность нелинейности *ЦАП2* на коде $P_{\text{корр}}$.

После соответствующих подстановок выражение для $U_{\text{вых}}$ примет вид

$$U_{\text{вых}} = U_{\text{вых. ид}} + \sum_{i=0}^{n} \alpha_i \chi_i + \xi_{\text{корр}} + \xi_{\text{см}}.$$

Результат не зависит от b_0, т. е. если контроль и коррекция выполняются с помощью одного элемента (*ЦАП2*), линейные составляющие его погрешности не влияют на результат преобразования.

Удбоно, чтобы *ЦАП2* был одноквадрантным. Для этого достаточно, чтобы выполнялись условия $U_1(N) < U_{1\text{ид}}(N)$ при любых N и $U_1(N_j) < U_3(L_j)$ в каждом тестовом испытании, что легко достигается введением небольшого дополнительного смещения в сумматор. Тогда $P_{\text{корр}} > 0$ при любых знаках Δ_i.

С учетом соотношения (3.9) оценка погрешности формирования выходного напряжения при наличии коррекции имеет вид

$$\Delta U_{\text{вых. корр}} = (\xi_{\text{м}} - \xi_{\text{см}})\left(\alpha_n + \frac{\alpha_{n-1}}{2} + \ldots + \frac{\alpha_0}{2^n}\right) +$$

$$+ \xi_n\left(-\frac{\alpha_{n-1}}{2} - \frac{\alpha_{n-2}}{4} - \frac{\alpha_{n-3}}{8} - \ldots - \frac{\alpha_0}{2^n}\right) +$$

$$+ \xi_{n-1}\left(\frac{\alpha_{n-1}}{2} - \frac{\alpha_{n-2}}{4} - \frac{\alpha_{n-3}}{8} - \ldots - \frac{\alpha_0}{2^n}\right) +$$

$$+ \xi_{n-2}\left(\frac{\alpha_{n-2}}{2} - \frac{\alpha_{n-1}}{8} - \ldots - \frac{\alpha_0}{2^{n-1}}\right) + \ldots$$

$$\ldots + \xi_2\left(\frac{\alpha_2}{2} - \frac{\alpha_1}{4} - \frac{\alpha_0}{8}\right) + \xi_1\left(\frac{\alpha_1}{2} - \frac{\alpha_0}{4}\right) + \xi_{\text{см}} + \xi_{\text{корр}}. \tag{3.12}$$

Исследования показали, что результирующая погрешность максимальна на чередующемся коде 1010 ... 101 [11, 50]. Для этого случая, оставляя в скобках формулы (3.12) по два наиболее значащих члена, получаем

$$\Delta U_{\text{вых. корр}} = \frac{5}{4}\xi_{\text{м}} - \frac{1}{4}\xi_{\text{см}} + \xi_{\text{корр}} - \left(\frac{1}{4} + \frac{1}{16}\right)(\xi_n + \xi_{n-1}) +$$

$$+ \left(\frac{1}{2} - \frac{1}{8}\right)\xi_{n-2} - \left(\frac{1}{4} + \frac{1}{16}\right)\xi_{n-3} + \left(\frac{1}{2} + \frac{1}{8}\right)\xi_{n-4} -$$

$$- \left(\frac{1}{4} + \frac{1}{16}\right)\xi_{n-1} + \ldots + \frac{1}{2}\xi_1.$$

Пусть ЦАП имеют одинаковую приведенную погрешность[1]

$$\delta_1 = \delta_2 = \delta_3 = \delta, \quad \delta_i = \max(\Delta U_i)/U_{i\,\max}.$$

Это предположение оправданно, если используются однотипные ЦАП, а уменьшение масштабного коэффициента b_0 по сравнению с a_0 и c_0 достигается включением на выход *ЦАП2* резистивного делителя. Для обеспечения возможности контроля и коррекции по описанной схеме необходимо выполнение условия

$$\max|U_2| \approx \max_{(j)}\left[U_3(L_j) - U_1\left(N_j''\right)\right] = \sqrt{2}\,\delta_{\max}|U_1| + a_0 W.$$

Вычитание $U_3(L_j)$ и $U_1\left(N_j''\right)$ выполняется по правилу вычитания случайных величин, разность математических ожиданий (МО) которых равна a_0W, а отклонения от МО независимы.

Если ошибка квантования a_0W мала по сравнению с нелинейной, то

$$\max \xi_{\text{см}} = \max \xi_{\text{м}} = \max \xi_{\text{корр}} < \delta_{\max}|U_2| \approx \sqrt{2}\max|U_1|\delta^2.$$

[1] Приведенная погрешность для каждого ЦАП определяется относительно диапазона его собственного выходного сигнала, а не суммарного выходного сигнала устройства.

Составляющие ξ_j формируются как суммы погрешностей двух независимых измерений ξ_j' и ξ_j'', т. е. $\max \xi_j = 2\delta^2 \max |U_1|$. Считая все переменные в формуле (3.12) независимыми, с учетом их максимальных оценок получаем

$$\Delta U_{\text{вых. корр}} < \sqrt{5 + \frac{11}{8}(k-1)}\,\delta^2 \max |U_1|;$$

$$\delta U_{\text{вых}} = \Delta U_{\text{вых. корр}}/U_{\text{вых. max}} < \sqrt{5 + \frac{11}{8}(k-1)}\,\delta^2,$$

где k — число корректируемых разрядов.

В реальных ЦАП абсолютные погрешности задания веса разрядов, как правило, с уменьшением веса разряда уменьшаются, хотя и несколько медленнее, чем вес. Поэтому нет смысла корректировать все разряды, так как с ростом k погрешность младших корректируемых разрядов становится сравнимой с погрешностью корректирующего ЦАП, а рост $\Delta U_{\text{вых. корр}}$ приведет к большей потере точности, чем пренебрежение малыми погрешностями младших разрядов. Как правило, оптимальным является $k = 6 \div 8$. Тогда при $\delta = 0{,}5\ \%$ получим $\delta U_{\text{вых}} = 0{,}01\ \%$, т. е. схемы с разрешением 13—14 разрядов можно строить на элементах, обеспечивающих точность лишь на уровне 8—9 разрядов.

По схеме на рис. 3.1 возможно также и аналого-цифровое преобразование с высокой точностью. Тогда на вход вычитателя через коммутатор подается напряжение, подлежащее преобразованию. По принятому алгоритму, например поразрядному, на *ЦАП1* подбирается код и одновременно на каждом i-м шаге алгоритма по формуле (3.11) вычисляется код N_{2i}, обеспечивающий компенсацию погрешности *ЦАП1* для текущего N_{1i}. При поразрядном алгоритме подбора N_1 сократить объем вычислительных операций на каждом шаге позволяет рекуррентное вычисление поправки. Действительно, из рекуррентного соотношения для алгоритма поразрядного кодирования

$$N_{1i} = N_{1\,i-1} - e_{n-i+1}\alpha_i + e_{n-i}, \quad N_{10} = e_n \qquad (3.13)$$

(e_{n-i} — единица разряда устанавливаемого на i-м шаге, причем нумерация разрядов с младшего, $e_{\text{мр}} = e_0$; α_i — ответ схемы сравнения на i-м шаге)

вытекает правило формирования кода поправки, которое реализуется достаточно простой цифровой схемой

$$N_{2i} = N_{2\,i-1} - N_{\Delta,\,n-i+1}\alpha_i + N_{\Delta,\,n-i}; \quad N_{20} = N_{\Delta n}.$$

Тогда погрешность *ЦАП1* компенсируется на каждом шаге последовательных приближений.

3.3. Коррекция ошибок суперпозиции разрядов дискретных делителей

При использовании современных монолитных ЦАП, реализованных на основе коммутируемых резистивных матриц, дальнейшее повышение точности ограничено тем, что принцип суперпозиции, постулированный в ранее рассмотренной модели, нарушается. Возникают так называемые ошибки суперпозиции, т. е. зависимость разрядного веса от цифр остальных разрядов преобразуемого кода. Источники ошибок суперпозиции имеют самую различную природу. Это паразитное влияние управляющих токов, протекающих по общим для различных разрядов шинам земли и питания; изменение коэффициентов передачи дискретных делителей между отдельными узлами и выходом, вызванное изменением сопротивления коммутируемых цепей, подключенных к другим узлам; нелинейность диффузионных резисторов и модуляция их сопротивления напряжениями от близкорасположенных шин управления и т. д.

Влияние указанных эффектов на выходной сигнал для большинства монолитных ЦАП приводит к погрешности — около 10^{-4} максимального значения выходного сигнала, что ограничивает точность коррекции ПФИ по модели (3.1) уровнем 13—15 двоичных разрядов. Это отмечалось многими исследователями. Рекомендовалось часть старших разрядов реализовать по специальным схемам на дискретных компонентах или средствами гибридной технологии.

На основе анализа известных источников суперпозиционной ошибки в типовых ЦАП была предложена уточненная модель ЦАП, учитывающая указанные эффекты [17]. Принимая справедливым первое уравнение в системе (3.1), значение Δ_i предполагаем

линейно зависящим от цифр других разрядов кода:

$$\begin{cases} U_{\text{вых}}(N) = \sum_{i=0}^{n} \alpha_i (a_i + \Delta_i) + e_{\text{см}}; \\ \Delta_i = \Delta_{ii} + \sum_{j=0}^{i-1} \alpha_j \Delta_{ij}, \quad i = 0, 1, \ldots, n, \end{cases} \tag{3.14}$$

где Δ_{ij} — коэффициент взаимного влияния разрядов; Δ_{ii} — «собственная», т. е. не зависящая от остальных разрядов, погрешность i-го разряда.

Направление влияния не имеет значения, поэтому Δ_{ij} приписывается только старшему из пары установленных в единицу разрядов.

Предложенная модель хорошо аппроксимирует также «гладкие» составляющие погрешности ПФИ, например нелинейности усилительных элементов канала преобразования.

Эксперименты показали, что рассматриваемая модель описывает многие серийные ЦАП (серии К572, К1108, К1113, К1118) с приведенной погрешностью по крайней мере не более 10^{-5} и пригодна для построения самокорректирующихся ПФИ с 16—18-разрядной разрешающей способностью.

Уточненная модель содержит $(n+2)(n+1)/2$ неизвестных параметров. Практически достаточно определить лишь часть $kR(R-1)/2$ коэффициентов влияния для $R = 4 \div 6$ наиболее старших разрядов, $k = 8 \div 10$ собственных погрешностей разрядов, а также смещение, остальными же погрешностями пренебречь. Минимальное необходимое число испытаний равно числу идентифицируемых параметров, которое существенно меньше, чем при сквозном контроле (при практически равной точности методов).

По тем же соображениям, что и в ранее описанном алгоритме контроля, используется принцип дифференциальных измерений по схеме контроля и коррекции, соответствующей рис. 3.1. Оценка разности выходных напряжений для отличающихся на малую константу W кодов проводится аналогично — за два шага испытания, соотношения (3.3) и (3.4) сохраняют силу, но при вычислении их разности Δ_i нельзя выносить за скобку, поэтому система уравне-

ний идентификации имеет вид

$$a_{0\,\text{ид}}W+\sum_{i=0}^{n}\left[\left(\alpha'_{ij}\sum_{k=0}^{i}\Delta_{ik}\right)-\left(\alpha''_{ij}\sum_{k=0}^{i}\Delta_{ik}\right)\right]=$$
$$=P_j b_{0\,\text{ид}}+\xi_j,\quad j=0,\ 1,\ \ldots,\ V,\qquad (3.15)$$

где V — число неизвестных параметров модели, за исключением $e_{\text{см}}$ и «собственной» погрешности любого из разрядов; последние определяются дополнительными испытаниями, точно так же, как в алгоритме, не учитывающем погрешности суперпозиции, и в дальнейшем для краткости изложения не рассматриваются.

В работе [25] предложен план экспериментов по идентификации уточненной модели.

Весь набор необходимых $(n+1)(n+2)/2$ дифференциальных измерений разбивается на $n+1$ циклов, каждый из которых включает $n-k+1$ дифференциальных (двухшаговых) измерений, где k — номер цикла. Код, подаваемый на *ЦАП1* в первом шаге каждого s-го испытания k-го цикла, формируется так:

$$\tilde{M}'_{sk}=\tilde{M}'_{0k}\vee\tilde{Q}_{k+s},\quad k=0,\ 1,\ \ldots,\ n,\quad s=0,\ 1,\ \ldots,\ n-k,$$

где код $\tilde{M}'_{0k}$ содержит единицу только в k-м разряде, а код $\tilde{Q}_l$ (где l — любое целое) — только в l-м, причем операция дизъюнкции выполняется над одноименными разрядами.

Значение W принимается равным 1 МЗР, т. е. $M''_{sk}=M'_{sk}-1$, а на *ЦАП3* на обоих шагах любого измерения подается один и тот же код $\tilde{L}_{sk}=\tilde{M}'_{sk}$.

Измерение, как и ранее, сводится к подбору на *ЦАП2* кода $\tilde{P}_{ij}^{(R)}$, обеспечивающего $U_{\text{вых}}-U'=0$.

С целью иллюстрации плана в табл. 3.1 приведены значения кодов $\tilde{M}'_{sk}$ и $\tilde{M}''_{sk}$ для $k=3$. Здесь же представлены формируемые при соответствующем испытании уравнения системы (3.16), значения ξ_j опущены, а $A=\sum_{i=0}^{2}\left(\Delta_{ii}+\sum_{j=0}^{i-1}\Delta_{ij}\right)$.

Преимущество рассматриваемого плана — в простоте решения получаемой на его основе системы уравнений, так как эта система легко разбивается на $n+1$ независимых систем уравнений с треугольными

Таблица 3.1. Фрагмент набора тестовых испытаний

s	R	M^R_{S3}	Вид уравнения
0	1 2	000 ... 001000 000 ... 000111	$a_{0\text{ид}} + \Delta_{33} - A = b_0 P_{33}$
1	1 2	000 ... 011000 000 ... 010111	$a_{0\text{ид}} + \Delta_{33} + \Delta_{43} - A - \sum_{i=0}^{2} \Delta_{4i} = b_0 P_{43}$
2	1 2	000 ... 101000 000 ... 100111	$a_{0\text{ид}} + \Delta_{33} + \Delta_{53} - A - \sum_{i=0}^{2} \Delta_{5i} = b_0 P_{53}$
. . . . .			
$n=k-1$	1 2	010 ... 001000 010 ... 000111	$a_{0\text{ид}} + \Delta_{33} + \Delta_{n-1;\,3} - A - \sum_{i=0}^{2} \Delta_{n-1;\,3} = b_0 P_{n-1;\,3}$
$n-k$	1 2	100 ... 001000 100 ... 000111	$a_{0\text{ид}} + \Delta_{33} + \Delta_{n3} - A - \sum_{i=0}^{2} \Delta_{n3} = b_0 P_{n3}$

матрицами коэффициентов. В работе [25] отмечены другие перспективные планы, дающие меньшую (примерно в 1,3 раза) чувствительность к погрешностям тестовых измерений, но порождающие системы уравнений с нерегулярными матрицами и требующие сложных алгоритмов для решения.

Вычитая из каждого уравнения таблицы уравнение для $s = 0$, получим $n - k$ уравнений

$$\Delta_{3+s,\,3} - \sum_{i=0}^{2} \Delta_{3+s,\,i} = P_{3+s,\,3} - P_{33} = P^*_{3+s,\,3}$$

и аналогично для других циклов

$$\Delta_{k+s,\,k} - \sum_{i=0}^{k-1} \Delta_{k+s,\,i} = P^*_{k+s,\,k}. \qquad (3.16)$$

Объединив полученные в разных циклах уравнения с одинаковыми первыми индексами в группы, получим $n+1$ независимых друг от друга систем уравнений:

$$\begin{vmatrix} 1 & -1 & -1 & \dots & -1 & -1 \\ 0 & 1 & -1 & \dots & -1 & -1 \\ \dots & \dots & \dots & \dots & \dots & \dots \\ 0 & 0 & 0 & \dots & 1 & -1 \\ 0 & 0 & 0 & \dots & 0 & 1 \end{vmatrix} \times \begin{vmatrix} \Delta_{nk} \\ \Delta_{n-1,\,k} \\ \dots \\ \Delta_{k+2,\,k} \\ \Delta_{k+1,\,k} \end{vmatrix} = \begin{vmatrix} P^*_{nk} \\ P^*_{n-1,\,k} \\ \dots \\ P^*_{k+2,\,k} \\ P^*_{k+1,\,k} \end{vmatrix}. \quad (3.17)$$

Системы (3.17) разрешимы «снизу вверх» последовательной подстановкой в каждое из уравнений решений предыдущих:

$$\Delta_{k+1,\,k} = P^*_{k+1,\,k};$$

$$\Delta_{k=2,\,k} = P^*_{k+2,\,k} + \Delta_{k+1,\,k}$$

и так далее.

Очевидно, так же как при решении аналогичной системы в алгоритме, не учитывающем суперпозиционные погрешности, имеет место сильное влияние погрешностей тестовых испытаний на результат.

Целесообразно использовать вычисления по алгоритму «сверху вниз». Вычитая i-е уравнение системы (3.17) из $(i+1)$-го, получаем рекуррентное соотношение для оценки влияния всех разрядов на k-й разряд:

$$\Delta_{ik} = (\Delta_{i+1,\,k} - b_0 P^*_{ik} + b_0 P^*_{i+1,\,k})/2. \quad (3.18)$$

Однако в отличие от алгоритма, приведенного в § 3.2, здесь начальный член рекуррентного соотношения невозможно определить непосредственным измерением. Поэтому следует использовать итерационную процедуру, аналогичную представленной ранее соотношениями (3.10). Для определения соотношения, связывающего Δ_{nk} с остальными коэффициентами влияния на n-й разряд, вычитаем из уравнения, записанного в верхней строке табл. 3.1, уравнение, записанное в нижней строке. Получаем

$$\Delta_{n3} = \sum_{i=0}^{2} \Delta_{ni} + b_0 P^*_{n3} - b_0 P^*_{33},$$

а в общем случае —

$$\Delta_{nk} = \sum_{l=0}^{k-1} \Delta_{nl} + b_0 P^*_{nk} - b_0 P^*_{kk}. \qquad (3.19)$$

Тогда произвольно задав начальное значение Δ_{nk}, по соотношению (3.18) вычисляют оценки остальных коэффициентов взаимного влияния. Полученные оценки подставляем в формулу (3.19), в результате чего уточняется значение Δ_{nk}, и процедура продолжается до совпадения оценок, полученных в последовательных циклах с необходимой точностью.

Для определения «собственных» погрешностей весов разрядов используется система уравнений, составленная по результатам, полученным в каждом цикле испытаний при $s = 0$. Для метода вычисления «сверху вниз» из соответствующего уравнения для k-го цикла вычитается уравнение для $(k-1)$-го цикла:

$$\Delta_{k-1,\,k-1} = \left(\Delta_{kk} - b_0 P_{kk} + b_0 P_{k-1,\,k-1} - \sum_{j=0}^{k-1} \Delta_{k-1,\,j}\right) \Big/ 2.$$

Измерением разности между выходным сигналом на коде, содержащем единицу только в n-м разряде, и соответствующим сигналом источника, принимаемого за эталон, определяется Δ_{nn}. Остальные члены рекуррентного соотношения определены ранее.

Коррекция результатов преобразования выполняется, как и в предыдущем алгоритме: одновременно с подачей на *ЦАП1* преобразуемого кода $N_{вх}$ на *ЦАП2* подается код

$$N_{корр} = -\frac{1}{b_0} \sum_{i=0}^{n} \alpha_i \left(\Delta_{ii} + \sum_{j=0}^{i-1} \Delta_{ij} \alpha_j\right), \qquad (3.20)$$

обеспечивающий компенсацию погрешностей.

Ввиду сложности рассмотренного алгоритма оценку влияния тестовых испытаний на результирующую погрешность удалось получить лишь статистическим моделированием на ЦВМ. Результаты такого моделирования подтвердили, что для ЦАП с приведенной погрешностью 0,1 %, удовлетворяющих модели (3.14), схема с автокоррекцией дает погрешность не более 0,001 %. Можно применить и менее точные компоненты, но *ЦАП2* строить по схеме с внутренней автокоррекцией. При этом коррекцию *ЦАП2* допустимо проводить по алгоритму, не учитывающему суперпозиционные погрешности.

3.4. Снижение информационной избыточности схемы цифроаналогового преобразователя с автоматической коррекцией

Избыточность схемы самокорректирующегося ЦАП (см. рис. 3.1), т. е. суммарная разрядность устройства, может быть снижена, так как было показано, что достаточно корректировать лишь группу старших разрядов *ЦАП1*, а при одинаковой технологии изготовления абсолютные погрешности младших разрядов *ЦАП1* и корректора *ЦАП2* имеют один порядок. Контроль и коррекция старших разрядов *ЦАП1* может обеспечиваться за счет использования его младших разрядов, или, наоборот, младшие разряды преобразуемого кода могут суммироваться с кодом поправки, а сумма кодов — преобразовываться в напряжение с помощью *ЦАП2*. При этом исключают *ЦАП2* либо уменьшают разрядность *ЦАП1*.

Коррекция ЦАП с погрешностью, не большей заданной Δ, возможна, если для произвольной аналоговой величины V из диапазона $\{V_{\min}, V_{\max}\}$ можно подобрать такой код управления коммутируемыми резистивными матрицами компонентов, при котором на выходе устройства сформируется аналоговая величина, отличающаяся от V не больше чем на Δ при любом допустимом отклонении параметров компонентов. Традиционные ЦАП, предназначенные для преобразования кодов в двоичной системе счисления, не позволяют обеспечить Δ меньше максимальной собственной погрешности. Нетрудно доказать, что при справедливости уравнений (3.1) в характеристике ЦАП имеются зоны непредставимых напряжений, называемые также разрывами шкалы, шириной

$$S = a_i - \sum_{j=0}^{i-1} a_j = \Delta_i - \sum_{j=0}^{i-1} \Delta_j + a_0,$$

даже если вес младшего разряда намного меньше погрешности старших.

Таким образом, необходимо введение дополнительных коммутируемых элементов.

Преобразователь *ЦАП2*, выполняющий эту роль в схеме на рис. 3.1, избыточен. Построение ЦАП, характеристика которых не содержит зон непредставимых напряжений шириной больше кванта младшего разряда, возможно при использовании кодирования

с отношением весов соседних разрядов, меньшим целой степени двойки [27], например кодирования с весами разрядов, пропорциональными числам Фибоначчи или находящимися в соотношении золотой пропорции [13]. При таком кодировании допустимы достаточно большие погрешности задания весов разрядов при отсутствии зон непредставимых напряжений. Алгоритмы контроля и коррекции ЦАП, построенных по этому методу, практически совпадают с соответствующими алгоритмами для ЦАП двоичного кодирования, а значит, совпадают и метрологические показатели ЦАП. Но при реализации алгоритмов в ЦАП с недвоичным кодированием действия выполняются над числами, представленными в принятых специфических системах счисления. Это затруднено при использовании серийных микропроцессорных средств обработки; поэтому применяют специализированные арифметические устройства или достаточно сложные программы перевода чисел из одной системы счисления в другую, что приводит к ухудшению эксплуатационных характеристик ПФИ. Последние исследования показали, что при общепринятом двоичном кодировании достигается меньшая избыточность аналогового оборудования и обеспечивается реализация алгоритма коррекции в стандартной для микропроцессоров двоичной арифметике.

У двоичных ЦАП разрыв шкалы не может превышать суммы модулей погрешностей весов всех разрядов и веса младшего разряда, поэтому для исключения разрывов достаточно, чтобы 1) вес младшего разряда *ЦАП1* был равен весу старшего разряда *ЦАП2*; 2) суммарная погрешность *ЦАП1* не превосходила веса старшего разряда *ЦАП2*; 3) абсолютная погрешность *ЦАП2* не превышала заданной погрешности Δ.

Эти положения строго доказаны в работе [11]. Здесь ограничимся графическим примером. На рис. 3.2, *а* число N — двоичный эквивалент кода, старшие разряды которого представляют код *ЦАП1* (рис. 3.2, *б*), а младшие — код *ЦАП2*, за исключением его старшего разряда. Точками представлено множество значений $U_{\text{вых}}(N, \alpha_{2\text{ст}})$ для цифры в старшем разряде *ЦАП2* $\alpha_{2\text{ст}} = 0$. На переходе, соответствующем переносу в любой i-й разряд, если

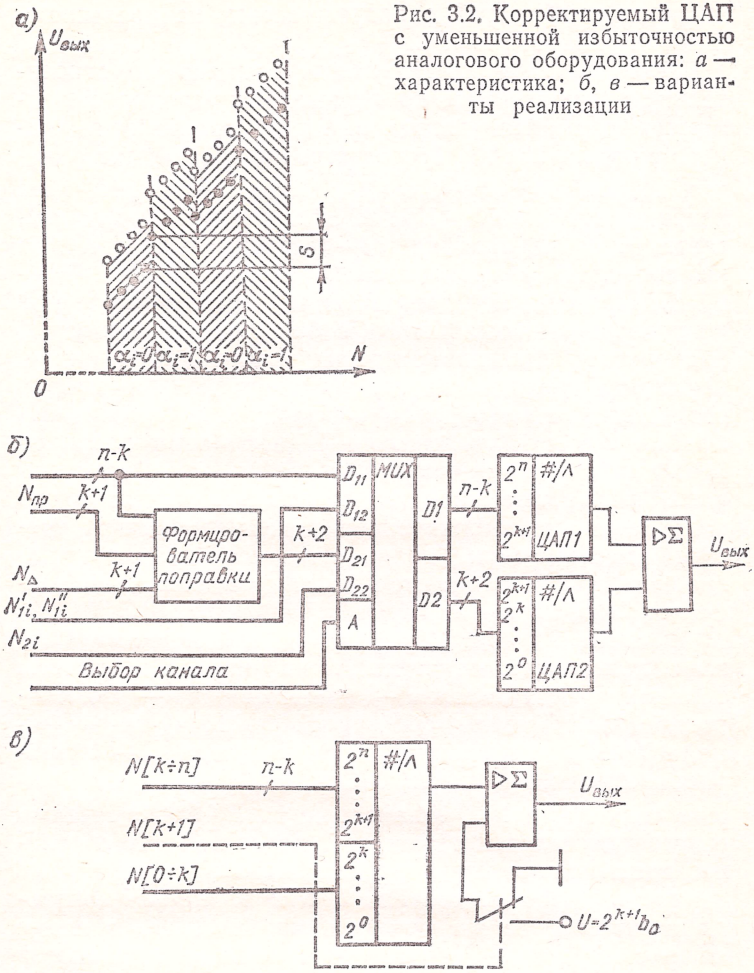


Рис. 3.2. Корректируемый ЦАП с уменьшенной избыточностью аналогового оборудования: *а* — характеристика; *б*, *в* — варианты реализации

$a_l > \sum_{j=0}^{i-1} a_j$, имеется область непредставимых значений $U_{вых}$ шириной S. Множество значений $U_{вых}(N, \alpha_{2ст})$ для $\alpha_{2ст} = 1$ представлено кружочками и смещено относительно $U_{вых}(N, 0)$ на вес старшего разряда *ЦАП2*. Нетрудно видеть, что зоны непредставимых значений $U_{вых}(N, 1)$ и $U_{вых}(N, 0)$ не пересекаются, что свидетельствует о возможности формирования любого $U_{вых}$ при подаче одной из допустимых

кодовых комбинаций с погрешностью, не превышающей погрешности *ЦАП2*.

Если *ЦАП1* и *ЦАП2* имеют одинаковую относительную погрешность, то первые два условия выполняются соответствующим выбором делителя выходного сигнала *ЦАП2*. Третье условие требует выполнения неравенства $\delta < \sqrt{\Delta/U_{вых}}$, где δ — приведенная погрешность *ЦАП1* и *ЦАП2*. Это, как правило, достигается при реализации 14—16-разрядных ЦАП на компонентах с приведенной погрешностью 0,1—0,5 %. При большей требуемой точности, а также при использовании компонентов с большей погрешностью недопустимо большие разрывы шкалы *ЦАП2* можно исключить, реализовав его на двух ЦАП и выбрав соответствующим образом коэффициенты суммирования их выходных сигналов. Общее число разрядов *ЦАП1* и *ЦАП2* отличается от разрядности «идеального» ЦАП всего на один-два разряда. Заметим, что кодирование с использованием чисел Фибоначчи требует шести-девяти дополнительных разрядов по сравнению с двоично-степенным при равной разрешающей способности ЦАП.

В схеме на рис. 3.1 *ЦАП1* и *ЦАП2* могут быть заменены схемой, приведенной на рис. 3.2, *б*, которая обладает минимальной — одноразрядной — избыточностью аналогового оборудования. При такой замене *ЦАП1* преобразует лишь старшие $n-k$ разрядов входного кода $\tilde{N}_{пр}$. Соответственно тестирующие коды $\tilde{N}'_{1i}$ и $\tilde{N}''_{1i}$, подаваемые на *ЦАП1*, «усечены» со стороны младших разрядов по сравнению с кодами, применявшимися в ранее описанных алгоритмах контроля. Преобразователь *ЦАП2* в режиме контроля выполняет те же функции, что и *ЦАП2* в схеме на рис. 3.1, т. е. используется как мера разности напряжений *ЦАП1* и *ЦАП3*. В рабочем режиме *ЦАП2* преобразует вычисленную в цифровом формирователе поправок сумму $k+1$ младших разрядов кода $\tilde{N}_{пр}$ и кода погрешности старших разрядов, определяемого по соотношениям (3.11) или (3.20). Управляющий сигнал «Выбор канала», формируемый блоком управления, в режиме «работа» включает верхние каналы мультиплексора MUX, а в режиме «контроль» — нижние.

Если *ЦАП1* имеет большое, достаточное для обеспечения требуемой разрешающей способности число

разрядов, но погрешность старших разрядов приводит к разрывам шкалы, превышающим заданную погрешность преобразования, то можно реализовать ЦАП по схеме на рис. 3.2, *в*. Из общего числа $n+1$ разрядов $k+1$ младших разрядов рассматриваются как соответствующие младшие разряды $(k+2)$-разрядного преобразователя *ЦАП2*, а $n-k$ старших — как разряды $(n-k)$-разрядного *ЦАП1*; для преобразования избыточного разряда используется одноразрядный преобразователь, вес разряда которого превышает суммарную погрешность выбранной группы старших и принимается равным весу младшего разряда из группы старших. Если суммарная погрешность старших разрядов младшей группы также превосходит допустимый разрыв шкалы, следует включить еще один дополнительный одноразрядный ЦАП, вес разряда которого перекрывает погрешность указанной группы разрядов. При интегральной реализации минимально-избыточных ЦАП целесообразно строить делители с дублированием весов одной пары смежных разрядов, что технологически не сложнее реализации делителей на резистивных сетках $R-2R$.

В схемах вида приведенной на рис. 3.1 при замене *ЦАП1* модификацией ЦАП (рис. 3.2) в режиме контроля на него последовательно подаются пары смежных кодов (0...010...0 — 0...001...1 и др.), на *ЦАП3* — код, формирующий напряжение смещения. На входах *ЦАП2* с учетом состояния схемы сравнения устройство управления подбирает код $\tilde{N}_2$, уравновешивающий систему. При выполнении указанных условий отсутствия разрывов шкалы подбор такого кода, что $|U_{вых}(N_2)-U_3|<\delta$, возможен, так как U_{2max} превышает разрывы шкалы *ЦАП1*, даже если его разрядность «усечена» со стороны младших разрядов. Подбираемые коды обрабатываются по тем же алгоритмам, которые описаны в § 3.2 и 3.3, что позволяет оценить погрешность старших разрядов. Иначе говоря, выполняются те же функции, что и в ранее описанных вариантах, а также в устройствах на основе недвоичных кодов, но число аналоговых коммутируемых элементов сокращено.

Для коррекции результатов преобразования код поправки вычисляется по формуле (3.11) или (3.20) исходя из цифр старших разрядов преобразуемого

кода. Поправка для любого кода представима $(k+1)$-разрядным кодом. Однако при сложении ее с $k+1$ младшими разрядами преобразуемого кода может получиться $(k+2)$-разрядный результат. Возникающий бит переполнения преобразуется $(k+1)$-м разрядом *ЦАП2* или дополнительным одноразрядным преобразователем. Таким образом, искажение старших разрядов за счет переноса невозможно.

В системах, где автокоррекция не предусмотрена, а используется лишь калибровка при изготовлении, формирователь поправки реализуется постоянным запоминающим устройством, из которого по адресу, задаваемому $n-k$ старшими разрядами, считывается код поправки, и сумматором кодов младших разрядов $N_{мл}$ и поправки. Мультиплексор тогда может быть исключен.

При построении поразрядных АЦП на основе самокорректирующихся ЦАП с минимальной избыточностью можно, так же как в § 3.1, формировать поправки для любого промежуточного кода $N_{ст}$, возникающего при последовательных приближениях. Но оказывается, что в АЦП, использующих ЦАП типа, приведенного на рис. 3.2, коррекция результата возможна также и после всего цикла кодирования, т. е. без промежуточной коррекции. Это существенно для микросхем, в которых регистр последовательных приближений непосредственно подключен к входам коммутируемой матрицы (например, К572ПВ1, К1108ПВ1).

Организация АЦП последовательных приближений с использованием ЦАП, построенного по схеме вида, приведенного на рис. 3.2, *б*, имеет некоторые особенности.

При выполнении алгоритма поразрядного кодирования (3.13) на ЦАП подбираются такие коды, что напряжение на выходе сумматора отличается от преобразуемого (постоянного за время кодирования) напряжения не более чем на погрешность ЦАП младших разрядов только в том случае, если разрядные цифры определяются в следующем порядке: сначала для всех разрядов *ЦАП1*, начиная со старшего, а затем для всех разрядов *ЦАП2*, начиная со старшего. Иначе, как показано в работе [11], воз-

можен подбор кода, не обеспечивающего равенства $U_{\text{ЦАП}}(N)$ и $U_{\text{вх}}$, и, следовательно, невозможна оценка $U_{\text{вх}}$ по полученному коду даже при известных разрядных погрешностях. Если же равенство достигнуто, то

$$U_{\text{ЦАП}} \approx \sum_{i=0}^{k+1} \beta_i b_i + \sum_{i=0}^{n-k-1} \alpha_i a_i,$$

где α_i, β_i — разрядные цифры кодов; a_i, b_i — веса разрядов.

Складывая код $\tilde{N}_{\text{корр}}$, вычисленный по соотношению (3.11) или (3.20), с кодом $\tilde{N}_{\text{мл}}$ и кодом $\tilde{N}_{\text{ст}}$, сдвинутым с учетом разницы весов разрядов ЦАП, а также пренебрегая погрешностями преобразователя младших разрядов, получаем

$$N_{\text{вых}} = \frac{1}{b_0}\left[\sum_{i=0}^{n-k} \alpha_i (b_0 \cdot 2^{k+i+1}) + \sum_{i=0}^{n-k} a_i \Delta_i + \right.$$

$$\left. + \sum_{i=0}^{k+1} (b_0 \cdot 2^i) - \sum_{i=0}^{n-k} \alpha_i N_{\Delta i} b_0\right] = \frac{U_{\text{вх}}}{b_{0\,\text{ид}}}. \qquad (3.21)$$

Оценки результирующей погрешности в преобразователях, использующих младшие разряды для контроля и коррекции старших, не отличаются от соответствующих оценок в схемах с дополнительным ЦАП, предназначенным для контроля и коррекции. Так как в схемах на рис. 3.2 по сравнению со схемами на рис. 3.1 налицо существенное сокращение объема оборудования, в дальнейшем рассматриваются в основном самокорректирущиеся ПФИ, в схемах которых совмещены контролирующее и корректирующее устройства, а также преобразователь младших разрядов кода.

3.5. Реализация управления и вычислений в самокорректирующихся аналого-цифровых преобразователях последовательных приближений и цифроаналоговых преобразователях

Рассмотренные алгоритмы контроля и коррекции содержат большое число однотипных и простых логических и арифметических преобразований: сдвиг, арифметическое сложение и вычитание кодов,

Обоснованная в предыдущем параграфе оптимизированная структура гибридной части в данном параграфе предполагается неизменной; рассматриваются универсальные ПФИ, способные выполнять ЦА- и АЦ-преобразование с коррекцией при соответствующем управлении.

Состав операций при АЦ-преобразовании с автокоррекцией по методу последовательных приближений отличается от состава операций аналогичного ЦА-преобразования лишь операциями формирования очередного приближения кода старших разрядов по соотношению (3.14), а остальные операции присущи обоим видам преобразования.

Все необходимые преобразования кодов легко реализуются в однокристальных процессорах или микро-ЭВМ общего назначения, при этом все преобразования выполняются программно в цифровом процессоре системы, а ЦАП подключаются к портам вывода микро-ЭВМ, или дополнительным внешним программно-доступным регистрам. Могут использоваться и внутренние регистры, имеющиеся во многих микросхемах ЦАП. Кроме того, должны предусматриваться программно-доступные регистры (порты вывода) управления коммутатором, выполняющие функции регистра режима периферийного блока, и доступный для ввода регистр состояния, хранящий значения ответа схемы сравнения и информацию о готовности к обмену. Структурно конфигурация повторяет рис. 3.1, где вычислительный блок представлен микропроцессором. Однотипность операций в применяемых вычислительных алгоритмах приводит к весьма коротким программам. Так, полная программа контроля и коррекции 16-разрядного АЦП, без учета погрешностей суперпозиции, для микро-ЭВМ на основе микропроцессора К580 занимает менее 0,5 кбайт.

Недостаток программной реализации цифровых преобразований — низкое быстродействие и большая загрузка процессора. Например, одна только реализация поразрядного кодирования с автокоррекцией, при условии что все $N_{\Delta i}$ находятся в памяти процессора К580, занимает около 300 мкс на один разряд, причем процессор все это время занят и не может быть использован для выполнения других задач.

Повышение быстродействия в режиме преобразования, а также снижение загрузки центрального процессора системы возможно за счет распараллеливания выполнения фрагментов алгоритма при реализации всех или некоторых операций контроля и коррекции периферийными блоками — программируемыми сопроцессорами или устройствами с аппаратной реализацией необходимых преобразований. Рассмотрим варианты структурной реализации преобразования информации с автокоррекцией и смешанным

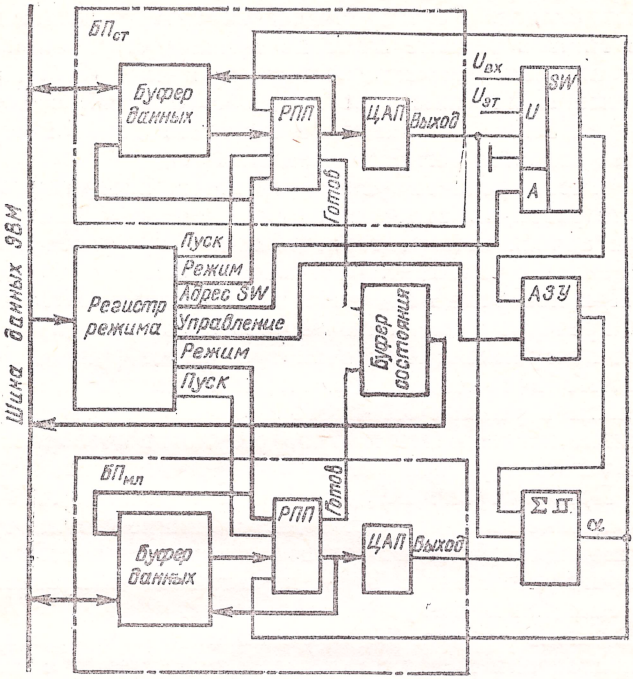


Рис. 3.3. Самокорректирующийся АЦП с аппаратной реализацией алгоритма последовательных приближений

(аппаратным и программным) выполнением алгоритма. (В гл. 7 излагается формализованная методика выбора исполнителей фрагментов алгоритма контроля и коррекции.)

На рис. 3.3 приведена схема АЦП с аппаратной реализацией только алгоритма последовательных приближений. Как показал опыт разработок, остальные функции целесообразно выполнять аппаратно лишь при аппаратном выполнении уравновешивания.

Блок преобразования старших разрядов $БП_{ст}$ и повторяющий его конфигурацию блок преобразования младших разрядов $БП_{мл}$ могут работать в режимах ЦАП или АЦП в зависимости от состояния входа настройки «Режим». Функционально $БП_{ст}$ и $БП_{мл}$ аналогичны широко известной микросхеме К572ПВ1, ряду гибридных и модульных ПФИ, но здесь выделены лишь узлы и связи, существенные для взаимодей-

ствия блоков. Регистр последовательных приближений *РПП* в режиме АЦП по сигналу «Пуск» реализует алгоритм поразрядного кодирования (3.13), а в режиме ЦАП фиксирует код, поступающий с шины данных ЭВМ. Направление передачи данных через буфер задается регистром режима.

Регистр режима устанавливается программно и кроме разрядов, задающих режим БП, содержит разряды адреса коммутатора, режима *АЗУ* (выборка — хранение) и управления запуском *АЦП*.

При контроле $БП_{ст}$ работает в режиме ЦАП, причем преобразуемые коды тестового набора формируются программно; *АЗУ* реализует те же функции, что и *ЦАП3* в схеме на рис. 3.1, и фиксирует входные сигналы в режиме АЦ-преобразования. Заметим, что влияние погрешности *АЗУ* на результат преобразования также корректируется приведенными алгоритмами. При контроле $БП_{мл}$ работает в режиме АЦП и автоматически подбирает коды, сводящие к нулю сумму напряжений на входах порогового устройства для каждого испытания. Коды передаются в процессор системы для последующей обработки.

В схеме на рис. 3.3 после цикла контроля возможен ввод или вывод аналоговой информации с высокой точностью. При выводе оба *БП* работают в режиме ЦАП, старшие разряды преобразуемого кода подаются непосредственно на $БП_{ст}$, а младшие программно складываются с вычисляемым кодом поправки и подаются на $БП_{мл}$. При аналоговом вводе оба *БП* работают в режиме АЦП, причем $БП_{мл}$ запускается после окончания работы $БП_{ст}$. Подобранные коды передаются в процессор, где в соответствии с формулой (3.21) формируется код результата.

Поправки можно вычислять как в процессе преобразования для текущего кода, так и предварительно, перед преобразованием, для всех возможных кодов $\tilde{N}_{ст}$ и хранить поправки в запоминающем устройстве ЭВМ. В последнем случае время АЦ-преобразования мало отличается от соответствующих значений для схем без коррекции при том же числе разрядов, так как формирование адреса $N_{корр}$ по коду $\tilde{N}_{ст}$ и считывание $N_{корр}$ из памяти можно выполнять одновременно с кодированием младших разрядов. Если заранее вычисляются только разрядные погрешности $N_{\Delta i}$, то для ЦАП сравнительно невысокого быстро-

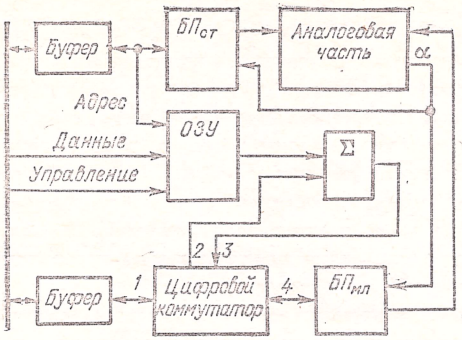


Рис. 3.4. Перестраиваемый ПФИ с встроенным ОЗУ корректирующих кодов

действия (серии К572, К594) вычисление $N_{корр}$ по алгоритму без учета суперпозиции также укладывается во время преобразования младших разрядов и выполняется параллельно с ним. Однако загрузка микро-ЭВМ остается значительной.

Увеличить производительность системы за счет уменьшения времени преобразования при некотором увеличении времени контроля возможно при использовании периферийного оперативного ЗУ корректирующих кодов (рис. 3.4). На схеме изображены лишь информационные связи, причем все линии, кроме связанных с аналоговой частью,— многоразрядные шины. Управляющие сигналы формируются аналогично схеме на рис. 3.3. Цифровой коммутатор соединяет поразрядно любые пары входных линий.

На этапе тестовых испытаний схема работает аналогично схеме на рис. 3.3, причем цифровой коммутатор соединяет линии *1* и *4*. Корректирующие поправки для всех кодов вычисляются в ЭВМ и заносятся в *ОЗУ*. Отметим, что для записи выполняются две операции вывода: сначала код, поправка для которого записывается, выводится на $БП_{ст}$, а затем по фиксированному, постоянному для периферийного *ОЗУ* адресу, выводится код поправки, который фактически записывается в ячейку *ОЗУ* с адресом, снимаемым с $БП_{ст}$.

В режиме аналогового ввода цифровой коммутатор соединяет линии *3* и *4*, *1* и *3*, *БП* друг за другом выполняют алгоритм последовательных приближений. В ЭВМ при чтении младших разрядов пере-

дается $N^* = N_{мл} + N_{корр}$. Сложение с кодом старших разрядов, необходимое из-за перекрытия разрядных весов, реализовано программно, хотя можно применить и аппаратное суммирование. При выводе оба *БП* переводятся в режим ЦАП, а цифровой коммутатор соединяет линии *1* и *2*, *2* и *4*, что обеспечивает прием избыточного преобразуемого кода от ЭВМ и сложение $N_{мл}$ с соответствующим $N_{корр}$.

Значительно уменьшается загрузка процессора на этапе контроля при вычислении поправок $N_{корр}$ в режиме преобразования для текущих $N_{ст}$ с применением быстродействующих специализированных вычислительных блоков. Известны достаточно простые их реализации, в которых время преобразования не увеличивается по сравнению с вариантами, где используется предварительное вычисление поправок. На рис. 3.5 приведена реализация вычислителя поправок для АЦП, корректируемого по алгоритму, который рассматривался в § 3.2. Такой вычислитель заменяет *ОЗУ* в схеме на рис. 3.4. Вычислитель поправок, реализующий алгоритм, который приведен в § 3.3, более сложен, но строится аналогично.

В *ЗУ* магазинного типа последовательно записываются, а потом циркулируют синхронно с тактовыми импульсами *ТИ* и с преобразованием разрядов коды разрядных погрешностей $N_{\Delta i}$, причем на выход они поступают в порядке убывания веса разряда, начиная со старшего. Если при определении цифры очередного i-го разряда из числа старших он устанавливается в единицу, то $N_{корр}$ увеличивается на $N_{\Delta i}$, в противном случае $N_{корр}$ сохраняется. Отметим, что схема на рис. 3.5 пригодна также для формирования корректирующей поправки в схемах с цифроаналоговой коррекцией на основе дополнительных ЦАП. При этом не только существенно разгружается централь-

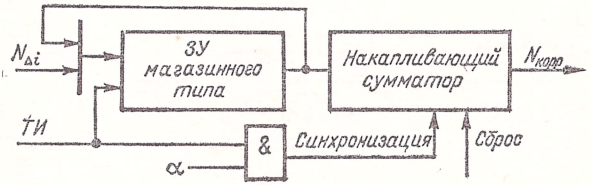


Рис. 3.5. Аппаратная реализация вычисления поправок

ный процессор системы, но и уменьшается занимаемое адресное пространство — с 2^k до k и до $k^2/2$ — для алгоритмов, приведенных соответственно в § 3. 2 и 3.3.

Известны также варианты самокорректирующихся ПФИ, в которых специализированные блоки генерируют тестовые воздействия, вычисляют $N_{\Delta i}$. Рекуррентные преобразования (3.7) или (3.18), (3.19) легко выполняются в схемах на регистрах и сумматорах. Если на вход такого аппаратного вычислителя поступает последовательность N_{2i}, то на его выходе получается последовательность $N_{\Delta i}$, которая может непосредственно «вдвигаться» в магазинное *ЗУ*. Схемы достаточно просты и могут встраиваться в специализированные БИС или модули ПФИ.

Включение в ПФИ описанных в данном параграфе блоков позволяет строить автономные устройства АЦ-преобразования. Аналоговые УВВ такого типа не занимают для своей работы ресурсов системы. В программах работы центрального процессора достаточно предусмотреть кроме обычного ввода — вывода лишь контроль состояния ПФИ (готовность, нахождение в режиме контроля) и простейшие функции управления, например запретить операции контроля в течение заданного интервала времени, начать контроль или операции ввода — вывода.

3.6. Быстродействующие аналого-цифровые преобразователи с автоматической коррекцией

Один из главных путей повышения быстродействия аналого-цифровых преобразователей — использование многоуровневых схем сравнения. Максимальным быстродействием обладают АЦП непосредственного считывания, называемые также параллельными, которые содержат 2^m элементов сравнения входной аналоговой величины с соответствующим набором пороговых уровней (m — разрядность выходного двоичного кода) и преобразователь кода с выходов элементов сравнения в позиционный двоичный код. Такие устройства осуществляют преобразование за один такт работы, причем у современных АЦП достигнута длительность такта менее 10 нс при апертурной неопределенности снятия отсчета менее 1 нс.

Однако создание параллельных АЦП с разрядностью выше 10 в ближайшее время маловероятно в связи со значительным ростом числа компараторов, трудностями их размещения в одной интегральной схеме и достаточно точной стабилизации пороговых уровней компараторов. Поэтому при построении точных быстродействующих ПФИ следует ориентироваться на комбинированные структуры: с поразрядным кодированием и определением нескольких разрядных цифр в одном такте; со следящим кодированием и выделением многоразрядного кода разности входного аналогового сигнала и сигнала обратной связи в каждом такте; каскадную, называемую в варианте применения многоуровневых компараторов параллельно-последовательной, и ряд других структур.

Наибольший интерес представляет параллельно-последовательная структура, потенциально обладающая максимальным быстродействием среди комбинированных. В дальнейшем рассматриваются именно такие преобразователи (ППАЦП), хотя предложенные методы автокоррекции статических погрешностей пригодны и для других комбинированных структур, использующих ЦАП в качестве меры.

В ППАЦП, схема которого приведена на рис. 3.6, *АЦП1*, реализующий метод непосредственного считывания, выполняет грубое кодирование входного сигнала, формируя на своем выходе код $\tilde{N}_1$ — двоичный эквивалент целой части отношения входного напряжения к кванту *АЦП1*. Код преобразуется в напряжение, а усиленная разность этого напряжения и входного сигнала, представляющая собой ошибку квантования *АЦП1* после фиксации кода *АЦП1* и окончания переходных *ЦА* процессов в *ЦАП* и усилителе-вычитателе, преобразуется устройством *АЦП2* в код $\tilde{N}_2$, который складывается с $\tilde{N}_1$. Исходя из

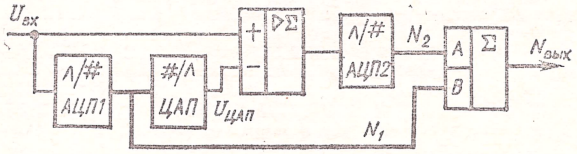


Рис. 3.6. Параллельно-последовательный АЦП

описанного принципа действия можно сформулировать систему уравнений, описывающих работу схемы:

$$\begin{cases} N_{\text{вых}} = k_{\Sigma} N_1 + N_2; \\ N_1 = \text{ent}\,(k_{\text{АЦП}\,1} U_{\text{вх}} + \Delta_{\text{АЦП}\,1}); \\ N_2 = \text{ent}\,[k_{\text{у}} k_{\text{АЦП}\,2} (U_1 - U_{\text{ЦАП}}) + \Delta_{\text{АЦП}\,2}]; \\ U_{\text{ЦАП}} = N_1 k_{\text{ЦАП}} + \Delta_{\text{ЦАП}}, \end{cases} \tag{3.22}$$

где $k_{\text{АЦП}}$ и $k_{\text{ЦАП}}$ — номинальные коэффициенты передачи, В^{-1} и В соответственно; $k_{\text{у}}$ — коэффициент усиления усилителя разностного сигнала; U_x — текущее значение входного напряжения; k_{Σ} — коэффициент передачи цифрового сумматора по входам кода $\tilde{N}_1$; $\Delta_{\text{АЦП}}$ и $\Delta_{\text{ЦАП}}$ — погрешности преобразования *АЦП* и *ЦАП*; ent — операция выделения целой части.

С точностью до погрешностей *АЦП2* $N_{\text{вых}}$ определяется как

$$N_{\text{вых}} = k_{\Sigma} N_1 + k_{\text{у}} k_{\text{АЦП}} (U_x - N_1 k_{\text{ЦАП}} + \Delta_{\text{ЦАП}}). \tag{3.23}$$

При выполнении условий

$$\begin{gathered} k_{\Sigma} = k_{\text{у}} k_{\text{АЦП}} k_{\text{ЦАП}}; \\ k_{\text{у}} (U_x - U_{\text{ЦАП}}) \leqslant U_{\max} \end{gathered} \tag{3.24}$$

($U_{\max}$ — максимальное допустимое входное напряжение *АЦП*) и пренебрежении погрешностью ЦАП получаем

$$N_{\text{вых}} = k_{\text{у}} k_{\text{АЦП}} U_x.$$

Погрешности *АЦП1* при выполнении условий (3.24) не влияют на общий результат преобразования, а влияние погрешностей *АЦП2* тем меньше, чем больше значение $k_{\text{у}}$. Однако значение $k_{\text{у}}$ ограничено сверху в силу условий (3.24): во-первых, погрешностью *АЦП1*, т. е. высотой максимальной ступеньки его характеристики, причем при идеализации характеристики эта погрешность равна весу младшего значащего разряда (МЗР) *АЦП1*, а реально составляет 1,2—1,5 веса МЗР; во-вторых, изменением входного сигнала за время фиксации кода в *АЦП1* и формирования $U_{\text{ЦАП}}$. Это изменение определяется динамическими характеристиками входного сигнала и практически может достигать 2—4 веса МЗР *АЦП1*. Поэтому значение $k_{\text{у}}$ выбирается из условия (3.24) с

учетом динамических характеристик входного сигнала и погрешностей *АЦП1*. Так как умножение кода $\tilde{N}_1$ на произвольное число k_Σ затруднительно, то используют значение $k_\Sigma = 2^p$, где p — целое положительное число. При этом умножение сводится к сдвигу кода $\tilde{N}_1$ на p разрядов, соответственно выбирается и значение k_y.

Таким образом осуществляется перекрытие шкал, при котором вес старшего разряда *АЦП2* равен весу первого младшего, второго или третьего разряда кода *АЦП1*. Разрешающая способность преобразователя меньше суммарного числа разрядов *АЦП1* и *АЦП2* на число перекрывающихся разрядов. Перспективный путь уменьшения перекрытия, т. е. увеличения разрешающей способности и (или) увеличения допустимого изменения сигнала за время кодирования,— предсказание (экстраполяция) этого изменения по предыдущим отсчетам [52].

Полный двоичный сумматор нужен лишь для перекрывающихся разрядов. Младшие разряды *АЦП2* могут передаваться на выход непосредственно, а в разрядах сумматора, соответствующих старшим разрядам *АЦП1*, достаточно учитывать только переносы, что может упростить схему сумматора.

Из формулы (3.23) следует, что основным источником статической погрешности ППАЦП являются погрешности ЦАП, для уменьшения которых применимы любые варианты автокоррекции. В представленном на рис. 3.7 варианте использована описанная

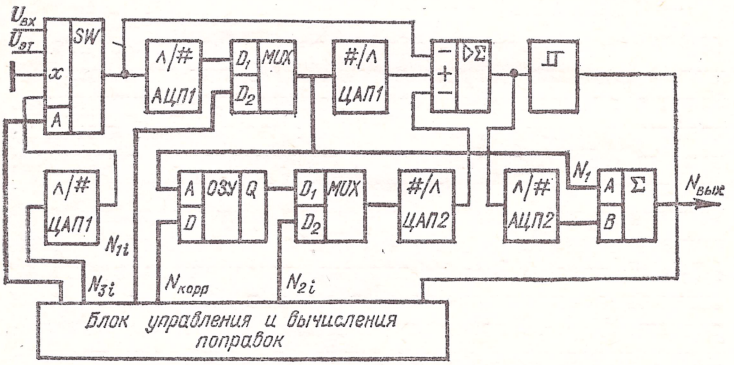


Рис. 3.7. Параллельно-последовательный АЦП с цифроаналоговой коррекцией погрешности

ранее схема коррекции ЦАП с предварительным вычислением поправок для всех возможных кодов и записью результатов в *ОЗУ*.

Линии управления не показаны. В мультиплексорах в режиме контроля включены их нижние каналы, а в режиме преобразования — верхние. Таким образом, *АЦП1* и *АЦП2* на этапе контроля в работе не участвуют. В зависимости от требуемой точности применим любой из описанных алгоритмов идентификации. В режиме преобразования получим

$$N_{\text{вых}} = k_{\Sigma}N + k_{\text{у}}k_{\text{АЦП}}(U_x - N_{\text{АЦП}}k_{\text{ЦАП}} - \Delta_{\text{ЦАП}} - N_{\text{корр}}).$$

Развитие принципа контроля и коррекции старших разрядов преобразователей с использованием аппаратуры преобразования младших разрядов тех же преобразователей позволило создать самокорректирующий ППАЦП с уменьшенным объемом аналогового оборудования, потенциально более высоким быстродействием при незначительном увеличении числа цифровых элементов. Рассмотрим реализацию в этой структуре (рис. 3.8) алгоритма контроля и коррекции без учета ошибок суперпозиции.

В соответствии с описанным в § 3.2 способом контроля оцениваются разности между выходными напряжениями ЦАП на парах смежных кодов, представляющих числа $N_i' = 2^i$, $N_i'' = 2^i - 1$, где $i = n, n-1, \ldots, 1, 0$ — номер разряда ЦАП. Оценка, как в ранее приведенных схемах, заменяется измерением разности между каждым из этих напряжений и

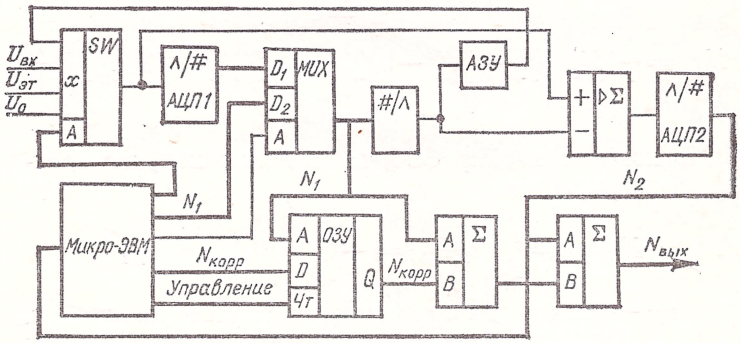


Рис. 3.8. Параллельно-последовательный АЦП с цифровой коррекцией погрешности

близким к одному из них напряжением, сохраняемым в *АЗУ*. Кроме того, измеряется разность между напряжением, вырабатываемым ЦАП на каком-либо коде (например, только с одной единицей в старшем разряде) и напряжением $U_{эт}$, а также выходное напряжение ЦАП на нулевом коде. В отличие от ранее рассмотренных реализаций в качестве меры разностного сигнала на выходе вычитателя используется непосредственно отсчет *АЦП2*.

При выполнении контрольных измерений тестирующие коды подаются на ЦАП через мультиплексор.

С учетом формул (3.1) и (3.22) можно записать систему из $2n + 2$ уравнений

$$\begin{cases} N'_{2i} = \operatorname{ent}\left[k_y k_{АЦП}\left(U_{АЗУ\,i} - a_i + e_{см}\right)\right], \\ \qquad i = 1, 2, \ldots, n; \\ N''_{2i} = \operatorname{ent}\left[k_y k_{АЦП}\left(U_{АЗУ\,i} - \sum_{j=0}^{i-1} a_j + e_{см}\right)\right], \\ \qquad i = 1, 2, \ldots, n; \\ N_{см} = \operatorname{ent}\left(k_y k_{АЦП} e_{см}\right); \\ N_м = \operatorname{ent}\left[k_y k_{АЦП}\left(U_{эт} - a_n + e_{см}\right)\right]. \end{cases} \tag{3.25}$$

Погрешностями *АЦП2* пренебрежем, так как их влияние на погрешности устройства после коррекции аналогично влиянию ошибок измерительного ЦАП, проанализированных в § 3.2. Вычислитель поправок решает систему (3.25), например, по алгоритму «сверху вниз»:

$$N_{\Delta n} = N_м - N_{см} = k_y k_{АЦП} \Delta_n;$$

$$N_{\Delta i} = \frac{1}{2}\left[N_{\Delta,\,i+1} - \left(N'_{2i} - N''_{2i}\right) + \left(N'_{2,\,i+1} - N''_{2,\,i+1}\right)\right] = \\ = -\,k_y k_{АЦП} \Delta_i.$$

В каждую ячейку *ОЗУ* записываем код, вычисляемый по формуле

$$N_{корр\,j} = \sum_{i=0}^{n} \alpha_{ji} N_{\Delta i} = -\,k_y k_{АЦП} \Delta_{ЦАП}(N_j),$$

где α_{ij} — разрядные цифры кода адреса j-й ячейки.

В рабочем режиме адресные входы подключены к выходам *АЦП1* и на каждом преобразовании из *ОЗУ* считывается код $N_{корр}(N_1)$, который прибавляется к

результату, при этом погрешности ЦАП компенсируются.

Погрешности вычитателя и усилителя разностного сигнала тоже компенсируются, так как по влиянию эквивалентны погрешностям ЦАП; исключается и влияние линейных составляющих погрешности *АЦП2*. Это важное преимущество цифровой коррекции перед цифроаналоговой. Другое преимущество — потенциально более высокое быстродействие. Дело в том, что в схеме на рис. 3.8 считывание кода $N_{корр}$ из *ОЗУ* совмещается во времени с работой *АЦП2*, что недопустимо в схеме на рис. 3.7.

Объем цифрового оборудования в схеме на рис. 3.8 несколько увеличивается — вместо двух мультиплексоров включен полный двоичный сумматор, число разрядов которого на единицу больше, чем у *АЦП2*, но при этом исключен *ЦАП2*. Отметим, что для расширения функциональных возможностей и из схемотехнических соображений в *ОЗУ* удобно хранить не $N_{корр\,j}$, а сумму $N_j + N_{корр\,j}$. При этом разрядность *ОЗУ* увеличивается до полной разрядности выходного кода устройства, но один из сумматоров исключается. Появляется возможность использования устройства для функционального преобразования (см. рис. 4.4).

Современные интегральные параллельные АЦП К1107ПВ2, К1107ПВ3 и быстродействующие ЦАП К1108ПА1, К1118ПА1 пригодны для построения ППАЦП с временем преобразования сотни наносекунд при разрешающей способности 12—14 двоичных разрядов; 16 и более разрядов пока достижимо только при трехкаскадной схеме. Перспективные десятиразрядные АЦП позволят строить двухкаскадные схемы с разрешением 16—18 разрядов.

При наличии столь быстродействующих компонентов наиболее критичный элемент в схеме параллельно-последовательного типа — вычитающий усилитель.

Этот усилитель должен обладать большим коэффициентом усиления, нелинейностью не более 2 % и нестабильностью коэффициента усиления также не выше 2 %. Переходный процесс после установки кода на ЦАП должен заканчиваться к моменту фиксации кода в *АЦП2* (рис. 3.6—3.8). Переходный процесс можно считать законченным, если выходной сигнал достигает уровня, отличающегося от установившегося значения не более чем на заданную погрешность. Пока отсутствуют серийные микросхемы операционных усилителей (ОУ), которые позволили бы полностью использовать потенциальные возможности по быстродействию, предоставляемые АЦ- и ЦА-преобразователями. Из

монолитных ОУ наилучшие результаты дает решающий усилитель на основе ОУ К574УД1, если принять меры по предотвращению его насыщения во временном интервале от выборки нового значения сигнала на входное *АЗУ* до фиксации кода на входе ЦАП. В схемах с использованием этого ОУ выходное напряжение вычитающего усилителя устанавливается с точностью, достаточной для 15-разрядного преобразования, за 1,5 мкс. Лучшие из специально разработанных гибридных ОУ позволяют работать с относительной задержкой моментов фиксации кодов в каскадах 0,8—1,0 мкс. Здесь требуется дополнительная техническая проработка.

Тем не менее уровень точности 0,01 % при времени преобразования 1,5—3,0 мкс, так же как 0,001 % при 50—150 мкс, уверенно обеспечивается в схемах самокорректирующих ПФИ.

В ППЦАП время контроля тоже существенно сокращается по сравнению с поразрядными реализациями, так как уменьшается время на проведение тестовых испытаний. Дальнейшее уменьшение времени контроля достигается при использовании специализированного вычислителя кодов поправки, аналогичного рассмотренным в предыдущем параграфе.

Глава четвертая

ГИБРИДНЫЕ ФУНКЦИОНАЛЬНЫЕ ПРЕОБРАЗОВАТЕЛИ

4.1. Табличные функциональные преобразователи

В системах управления, измерений, автоматизации научного эксперимента функциональное преобразование является одной из распространенных задач.

В настоящей главе рассматриваются вопросы реализации гибридных функциональных преобразователей (ФП), совмещающих преобразование формы информации с ее обработкой. Гибридные ФП имеют сходные с линейными ПФИ структуры и при незначительных дополнительных затратах оборудования позволяют реализовать широкий класс функциональных зависимостей. Цифровой вычислитель системы при этом освобождается для решения иных задач управления, а влияние инструментальных погрешностей практически не увеличивается по сравнению с мето-

дами, использующими линейное преобразование формы представления и цифровую реализацию функций.

Рассмотрим табличную реализацию функционального преобразования; гибридные табличные ФП не отличаются от цифровых табличных с линейным преобразованием формы представления. Табличные методы воспроизведения функций предусматривают считывание из запоминающего устройства кодов, представляющих значение функции, по адресу, задаваемому аргументом преобразования. До недавнего времени нередко использовались аналоговые способы хранения величин, например в виде набора уровней напряжения, формируемых резистивным делителем [3, 37]. Более перспективно хранение значений функций в цифровой форме. Уже сейчас табличные ФП вследствие интенсивного роста емкости монолитных БИС ЗУ по большинству показателей превосходят ФП, реализующие другие методы воспроизведения одной функции одной переменной с относительной погрешностью не более 0,05 %. В дальнейшем область целесообразного использования табличных ФП будет расширяться. Однако при более высоких требованиях по точности и при необходимости оперативной перестройки на различные функциональные зависимости рост числа корпусов БИС и (или) увеличение времени на загрузку таблиц с внешнего носителя ограничивают применение табличных методов.

Таблицы значений функции могут размещаться как в основной памяти микро-ЭВМ, так и в локальной памяти периферийного процессора. Рассмотрим сначала второй случай. Входы данных регистра хранения кода результата подключаются к выходам ПЗУ или ОЗУ, хранящих таблицы. Код аргумента может передаваться из процессора так же, как обычные данные, либо в поле кода адреса.

При передаче аргумента по линии адреса вывод и функциональное преобразование инициируется командой чтения из памяти с косвенной адресацией, при этом адрес формируется как сумма аргумента и базового адреса таблицы. Переход с одной функции на другую из числа одновременно хранящихся в ЗУ сводится к изменению базового адреса при обращении к памяти таблиц. Таблица занимает часть адресного пространства микро-ЭВМ, а перед выводом

необходимо вычислять и заносить в соответствующий регистр процессора (указатель адреса) исполнительный адрес, что является недостатком такой организации. Преимущество подобного решения состоит в возможности доступа к таблице не только при выводе информации, но и при программных вычислениях. Если использовано оперативное ЗУ, то весьма просто сменить функцию при переходе с задачи на задачу путем загрузки ее таблицы в память с внешнего носителя вместе с рабочей программой.

При передаче аргумента по линии данных обмен инициируется командой вывода кода аргумента по постоянному для выбранного ФП адресу. Адресные входы ЗУ таблиц соединены с линией данных, а если ЗУ оперативное или разрядность аргумента превышает разрядность линии данных,— с выходом загружаемого одной или несколькими командами буферного регистра. Вместе с данными в свободном поле слова может передаваться также код, идентифицирующий запрашиваемую функцию.

Для обеспечения возможности загрузки таблицы значений функции входы используемого ОЗУ данных соединяются с линией данных магистрали, а загрузка каждого значения функции происходит в два этапа: сначала код аргумента заносится в буферный регистр, затем выполняется команда вывода кода функции по адресу, инициирующему запись в ОЗУ периферийного блока.

Возможна и смешанная организация обращения, когда часть разрядов аргумента и (или) идентификатор реализуемой функции передаются по линии адреса, а остальные разряды — по линии данных. Такая организация может быть полезна, когда передача всех разрядов аргумента по линии адреса неприемлема из-за ограничений на допустимое поле адресов, а по линии данных неэффективна из-за недостаточной разрядности магистрали.

При хранении таблиц в основной памяти микро-ЭВМ выборка значения функции осуществима только за счет передачи кода аргумента в поле кода адреса. При чтении по этому адресу код значения функции выставляется на магистрали микро-ЭВМ и автоматически фиксируется в процессоре. Можно совместить пересылку в процессор и в регистр периферийного преобразователя, если при обращении к ячейке

ЗУ с адресом, принадлежащим зоне таблиц, стробировать запись в регистр ЦАП.

В табличных ФП возможно совместить преобразование и автоматическую коррекцию инструментальной погрешности ЦАП. Если ЦАП имеет непрерывную (см. гл. 3) шкалу и его погрешности тем или иным способом идентифицированы, то достаточно легко вычислить и записать в ОЗУ такие коды, подача которых на ЦАП обеспечит на его выходе требуемое значение выходной аналоговой величины. Однако в области эффективного использования табличных ФП (методическая погрешность более 0,05 %) коррекция инструментальных погрешностей не приводит к существенному уменьшению результирующей погрешности преобразования.

При реализации функционального аналого-цифрового преобразователя (ФАЦП) запоминающее устройство табличного ФП можно подключить к выходу линейного АЦП произвольной структуры, а в системах, реализующих уравновешивающие алгоритмы кодирования,— и в контур обратной связи АЦП. Оба варианта, а также преобразование код — аналог, аналог — аналог и оперативная перестройка на различные функции реализуются в программируемом табличном ПФИ, приведенном на рис. 4.1. Линии управления не показаны. При работе ФП в составе МПС сигналы управления блоками от ЭВМ форми-

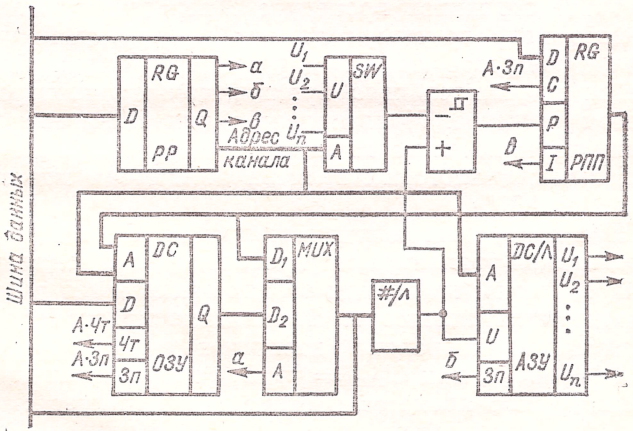


Рис. 4.1. Программируемый табличный функциональный ПФИ

руются как конъюнкции выходов дешифратора адреса и сигналов «Чтение» и «Запись», передающихся по магистрали.

Аналого-цифровое преобразование инициируется подачей сигнала «Пуск» на автомат уравновешивания, например регистр последовательных приближений, после чего автомат по результатам сравнения в компараторе подбирает код, уравновешивающий систему. Если при этом в мультиплексоре включен канал D_1, то выполняется линейное преобразование напряжения с выбранного канала в код, а после окончания цикла кодирования из ЗУ считывается код записанного в него значения функции текущего аргумента $N = f(U)$. Так как адрес канала управляет также выбором зоны ЗУ, каждому каналу соответствует своя функция преобразования.

Если на этапе кодирования выбран канал мультиплексора D_2, а код из ЗУ считывается на каждом такте кодирования, то автомат подбирает код $\tilde{N}$, соответствующий уравнению

$$U - k_{\text{АЦП}} f(N) = 0.$$

При этом $N \equiv f^{-1}(U)$, где f^{-1} — функция, обратная f. Подбор кода возможен, если функция f^{-1} монотонна. Для передачи результата в ЭВМ мультиплексор переключается на канал D_1, если на этапе кодирования использовался канал D_2, и наоборот.

Цифроаналоговое преобразование выполняется по ранее описанной процедуре с передачей преобразуемого кода по линии данных и фиксацией этого кода в регистре автомата уравновешивания. Адрес ячейки при записи кода функции также фиксируется в этом регистре. Мультиплексор при ЦА-преобразовании переключен на канал D_2. Возможность вывода нескольких аналоговых величин обеспечена многоканальным *АЗУ*.

При последовательном выполнении АЦ- и ЦА-преобразования реализуется преобразование аналог — аналог, причем на разных этапах включаются разные каналы мультиплексора. В зависимости от порядка коммутации каналов воспроизводится функция $U_{\text{вых}} = f(U_{\text{вх}})$, или $U_{\text{вых}} = f^{-1}(U_{\text{вх}})$. Организация вычислительного процесса в схеме соответствует структуре, приведенной на рис. 1.2, центральная ЭВМ используется только при настройке преобразователя.

4.2. Кусочно-линейные аппроксиматоры

Кусочно-линейная аппроксимация (КЛА) — один из эффективных таблично-алгоритмических методов вычисления функций. Этот метод позволяет резко уменьшить занимаемую область памяти по сравнению с табличными ФП за счет преобразования данных, считываемых из таблиц, аппаратными или программными средствами. Сокращение объема данных обеспечивает большую по сравнению с табличными ФП оперативность перестройки на новую функцию.

При реализации методом КЛА однозначная вещественная функция заменяется линейно-ломаной $z(x)$ с погрешностью линейной интерполяции (рис. 4.2, *а*):

$$z(x) = a_i + b_i(x - c_i), \tag{4.1}$$

где i — номер участка аппроксимации, к которому принадлежит текущее значение аргумента.

При интерполяции по двум смежным точкам коэффициенты в формуле (4.1) определяются следующими соотношениями:

$$a_i = z_i; \quad c_i = x_i; \quad b_i = (z_{i+1} - z_i)(x_{i+1} - x_i)^{-1}. \tag{4.2}$$

Используются также другие методы определения коэффициентов, например:

$$c_i = \text{const} = 0; \quad b_i = (z_{i+1} - z_i)(x_{i+1} - x_i)^{-1};$$
$$a_i = z_i - b_i(x_i - x_{\min}). \tag{4.3}$$

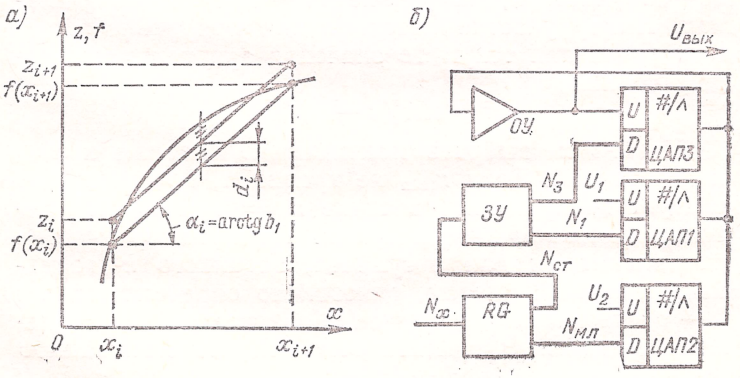


Рис. 4.2. Кусочно-линейная аппроксимация (*а*) и схема ее реализации (*б*)

Для уменьшения методической погрешности аппроксимации целесообразно сместить координаты узлов интерполяции $z_i(x_i)$ относительно значений $f_i(x_i)$ на величину

$$d_i = \frac{1}{2}\left\{ \max_{[x_i, x_{i+1}]} \left| f(x) - \left[z_i + \frac{z_{i+1} - z_i}{x_{i+1} - x_i}(x - x_i) \right] \right| \right\} \times$$

$$\times \operatorname{sign} \frac{d^2 z}{dx^2},$$

что, как видно из рисунка 4.2, *а*, уменьшает методическую погрешность почти вдвое.

Для того чтобы упростить определение номера участка аппроксимации по текущему значению аргумента, следует выбирать участки одинаковыми, а их длину — равной целой степени основания системы счисления, принятой для представления в цифровой форме. При использовании двоичного представления длина участка определяется как $L = 2^p$, где p — некоторая целая (положительная или отрицательная) константа. При программной реализации КЛА значения L и p могут выбираться различными для каждой из функций, которые вычисляются этим методом. При аппаратной реализации значение p одинаково для всех воспроизводимых функций.

Для большинства элементарных функций интерполяция с постоянной длиной участков обеспечивает точность на уровне 10 двоичных разрядов при 10—15 участках интерполяции [37], на уровне 12 — при 25—30 участках, на уровне 16 — при 50—60 участках. Номер участка интерполяции при равноотстоящих узлах для текущего значения аргумента x определится как

$$i = \operatorname{ent}[(x - x_0)/L].$$

Удобно x_0 выбрать максимально близким к $x_{\min}$ и кратным L. Если $x_{\min}$ не кратно L, функцию $f(x)$ следует доопределить в точке $x_0 = L\operatorname{ent}(x_{\min}/L)$ методом линейной интерполяции. Тогда номер участка аппроксимации для аргумента, заданного k-разрядным двоичным числом, однозначно определяется его $k - p$ старшими разрядами. Младшие p бит определяют смещение аргумента относительно ближайшего узла интерполяции $x' = (x - x_i)$.

При реализации программными средствами функционального преобразования с использованием КЛА длина программы и

время ее выполнения для большинства элементарных функций хотя и меньше, чем при использовании алгоритмических методов вычислений, но достаточно велики. Требуется выделение групп старших и младших разрядов, вычисление номера участка аппроксимации и адресов коэффициентов, умножение. Например, для ЭВМ на основе микропроцессора К580 при представлении аргумента и функции 10—12 разрядами и использовании 30 участков аппроксимации подпрограмма занимает 68 байт, а ее выполнение 300 мкс. Такое преобразование 16-разрядный микропроцессор К1810, имеющий в составе системы команд операцию умножения, выполняет за 50 мкс.

Широкие возможности для увеличения точности и быстродействия дает реализация КЛА в гибридных периферийных устройствах, причем в ряде случаев эффект достигается практически без дополнительных по сравнению с линейными преобразователями затрат оборудования.

В варианте с наибольшим быстродействием устройство хранения констант аппроксимации размещается в гибридном процессоре. Умножение смещения на коэффициент b_i легко выполнить умножающими ЦАП, а формирование суммы по формуле (4.1) и масштабирование — операционными усилителями. Вариант автономного цифроаналогового кусочно-линейного аппроксиматора приведен на рис. 4.2, *б*. Здесь каждый ЦАП — умножающий преобразователь типа «код — ток», для которого

$$I_{\text{вых } i} = U_i y_i \sum_{j=1}^{n} \alpha_{ij} \cdot 2^{-j} = U_i y_i N_i,$$

где i — номер *ЦАП*; y_i — постоянный коэффициент, выраженный в единицах проводимости (так называемая собственная проводимость *ЦАП*); N_i — число, представленное кодом на входе *ЦАП* в форме с фиксированной запятой; α_{ij} — j-й бит кода N_i.

Выходное напряжение *ОУ* при условии пренебрежения инструментальными погрешностями —

$$U_{\text{вых}} = (U_1 y_1 N_1 + U_2 y_2 N_2)/(y_3 N_3), \qquad (4.4)$$

что при соответствующем формировании $N_1 = \varphi(N_{\text{ст}})$, $N_3 = \varphi'(N_{\text{ст}})$ обеспечивает воспроизведение функции (4.1) с представлением коэффициентов в форме (4.2).

Определим коды, которые необходимо записать в *ЗУ* для реализации функции (4.1). Пусть значение x представлено прямым двоичным кодом в форме с фиксированной запятой, причем запятая расположена между крайним левым разрядом, пред-

ставляющим знак, и следующим разрядом, а значение z представлено в виде пропорционального значения напряжения. Введем масштабы переменных:

$$m_z = U_{\text{вых max}}/z_{\max}; \quad m_x = N_{x\,\max}/x_{\max}.$$

Тогда

$$U_{\text{вых}} = zm_z = U_{\text{вых max}}z/z_{\max}; \quad N_x = xm_x = N_{x\,\max}x/x_{\max}.$$

Для того чтобы уменьшить влияние инструментальных погрешностей аналоговых блоков, целесообразно выбрать значение N_x как можно большим. Обычно выбирают $N_{x\,\max}$ в диапазоне [0,5; 1] такое, чтобы $N_{x\,\max} = 2^k{}_{x\,\max}$, где k — произвольное целое. Часто такое масштабирование непосредственно учитывается в алгоритмах обработки, но при необходимости оно сводится к сдвигу кода аргумента.

Старшие $k-p$ бит кода вместе со знаковым рассматриваются как целое положительное число $N_{\text{ст}}$. Они подаются на адресный вход *ЗУ*, откуда по этому адресу считывается код, представляющий a_i и b_i. В общем случае i отличается от $N_{\text{ст}}$ на целочисленную константу, но это легко учитывается за счет смещения данных по адресам *ЗУ*, осуществляемое при записи.

Младшие биты кода, представляющие смещение преобразуемого числа относительно узла интерполяции: $N'_x = N_x - LN_{\text{ст}} = m_x(x - x_i)$, для *ЦАП2* рассматриваются как код положительного числа с запятой, фиксированной перед старшим разрядом, т. е.

$$N_2 = N'_x \cdot 2^{k-p} = 2^{k-p} m_x (x - x_i).$$

Подставим в формулу (4.4) масштабные соотношения и, положив для определенности $U_{\text{вых max}} = U_1$, получим

$$z = z_{\max}\left(\frac{y_1}{y_3}\frac{N_{1i}}{N_{3i}} + \frac{U_2 y_2}{U_1 y_3}\frac{N_{x\,\max}}{N_{3i}}\,2^{k-p}\frac{x - x_i}{x_{\max}}\right). \qquad (4.5)$$

Из соотношений (4.5) и (4.1), получим масштабные уравнения

$$\frac{y_1}{y_3}\frac{N_{1i}}{N_{3i}}\frac{1}{a'_i} = \frac{U_2 y_2}{U_1 y_3}\frac{N_{x\,\max}}{b'_i N_{3i}}\,2^{k-p} = 1$$

$\left(a'_i = a_i/z_{\max},\ b'_i = b_i x_{\max}/z_{\max}\right)$, которые позволяют определять коды, записываемые в *ЗУ* для воспроизведения конкретной функции.

Масштабные соотношения показывают, что возможно и целесообразно использовать *ЦАП1* и *ЦАП3* с равными коэффициентами преобразования ($y_1 = y_3$), а *ЦАП2* — с коэффициентом преобразования меньшим, чем у *ЦАП1* $(y_2 < y_1)$. Так как $N_2 < 1$, $N_x < 1$, то $U_2 y_2 \leqslant U_1 y_1 b'_{\min} \cdot 2^{p-k}$.

При использовании идентичных *ЦАП* уменьшение $U_2 y_2$ по сравнению с $U_1 y_1$ достигается либо уменьшением опорного напряжения *ЦАП*, либо включением токового делителя между выходом *ЦАП* и входом *ОУ*. Очевидно, что погрешности *ЦАП2* влияют на результат преобразования существенно меньше, чем

погрешности *ЦАП1* и *ЦАП3*. Анализ показывает, что при числе участков, большем 32, влияние ошибок *ЦАП2* пренебрежимо мало.

Известны также кусочно-линейные ФП, у которых в цепи обратной связи *ОУ* включен резистор с проводимостью y'', а U_2 формируется с помощью дополнительного ОУ, вход которого соединен с выходом *ЦАП3* и в цепь обратной связи включен резистор с проводимостью y':

$$U_2 = U_3 N_3 y_3 / y'.$$

Тогда

$$U_{\text{вых}} = (U_1 y_1 N_1 + U_3 y_2 N_2 N_3 y_3 / y')/y'',$$

что при принятых масштабах и форме представления переменных эквивалентно соотношению (4.1), если выполняются условия

$$\frac{y_1 N_{1i}}{y'' a_i'} = \frac{U_3 y_2 y_3}{b_i' U_1 y' y''} N_{3i} \cdot 2^{k-p} N_{x\,\max} = 1.$$

Так как $0 \leqslant |a_i'| \leqslant 1$, то принимают $y_1 = y_3 = y''$, и, следовательно, $N_{1i} = a_1'$; $N_{3i} = U_1 y' b_i' \cdot 2^{p-k}/(U_3 y_2 N_{x\,\max})$.

При $U_1 = U_3$ проводимость резистора в цепи обратной связи дополнительного ОУ выбирается по соотношению

$$y' \leqslant y_2 \cdot 2^{k-p} N_{x\,\max}/b'_{\max}.$$

Такой вариант по сравнению со схемой на рис. 4.2, *б* менее чувствителен к погрешностям *ЦАП3*, поэтому более перспективен для построения прецизионных ПФИ, и прежде всего самокорректирующихся функциональных ЦАП и АЦП.

Отметим также, что в схеме на рис. 4.2, *б* имеется существенное ограничение (не свойственное вариантам, содержащим ЦАП только в каналах прямой передачи): недопустимо отрицательное значение коэффициента передачи *ЦАП3* по аналоговому сигналу, так как это приведет к потере устойчивости. Значит, знак dU_z/dU_x должен быть постоянным, а воспроизведение немонотонных функций непосредственно в схеме невозможно. Потребуется аппаратная или программная инверсия знака смещения $x - x_i$ для участков $f(x)$ с отрицательной производной, т. е. дополнительные логические преобразования. Поэтому далее рассматриваются схемы с формированием произведения $b_i(x - x_i)$ на последовательно включаемых линейных ЦАП.

Ранее отмечалось, что подавляющую часть результирующей погрешности вносит *ЦАП1*; для повышения точности можно использовать описанные в гл. 3 схе-

мы автокоррекции. Однако оказывается возможным совмещение аппаратуры коррекции погрешностей ЦАП и блоков, вводимых для реализации КЛА. Укажем также на возможность уменьшения разрядности *ЦАП1*, что важно при построении прецизионных преобразователей.

Представим значение a'_i в виде суммы $a'_{i1} + a'_{i2}$, где a'_{i1} — некоторое число, кратное целой степени основания системы счисления. Код, представляющий a'_{i1}, подается на *ЦАП1*; число a''_{i2} можно непосредственно не преобразовывать, а учитывать за счет изменения кода, подаваемого на *ЦАП2*. Если сохранить масштабные соотношения и значение N_{3i}, а код, подаваемый на *ЦАП2*, формировать в виде суммы $a'_{i2}/b'_i + N_2$, получится требуемое значение $U_{\text{вых}}$. Коды чисел a'_{i2}/b_i также хранятся в *ЗУ*, но емкость его памяти остается почти без изменений по сравнению с исходным вариантом, так как уменьшена разрядность кода, подаваемого на *ЦАП1*.

Допустимость снижения разрядности *ЦАП1* не означает снижения требований к его инструментальной погрешности, но при использовании автокоррекции можно применять малоразрядные неточные ЦАП.

Построение преобразователей, совмещающих автокоррекцию и КЛА, иллюстрируется схемой на рис. 4.3. Все *ЦАП* схемы обладают средней точностью, разрешающей способностью 8—10 разрядов и имеют токовый выход. Предусматривается контроль, вычисление корректирующих поправок и запись их в *ЗУ* под программным управлением. Могут быть также реализованы варианты с другим распределением алгоритма между центральным и периферийным процессорами и с другими способами обмена. Линии управления на рисунке не показаны.

Работа схемы состоит из трех этапов: тестирования схемы, вычисления и занесения поправок в память, преобразования. Поле адресов *ЗУ1* разбито на две зоны. В первой хранятся коды коэффициентов аппроксимации: a_j — в старших разрядах хранящихся слов и b_j — в младших. Во второй зоне записаны коды, которые подаются на *ЦАП1* и *ЦАП2* в режиме контроля. Управляющее слово загружается от МП системы в регистр режима *Рг1* и задает зону адресов

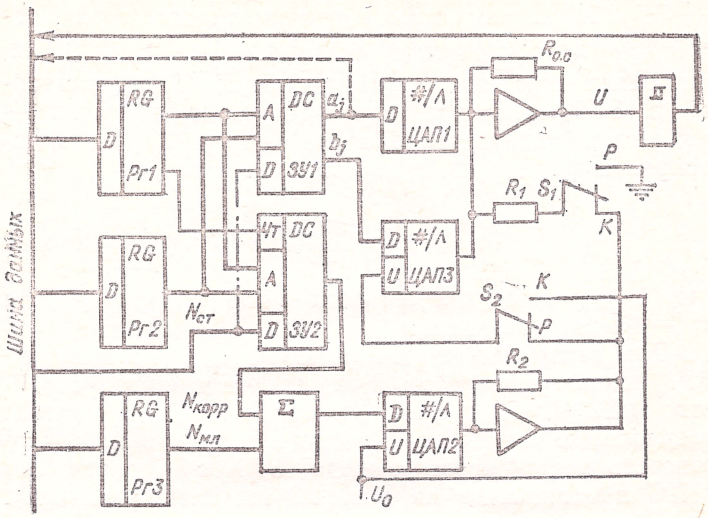


Рис. 4.3. Кусочно-линейный аппроксиматор с автоматической коррекцией погрешности

ЗУ1, положение ключей *S1* и *S2* («*К*» в режиме контроля и «*Р*» в режиме преобразования). Соответствующие разряды управляющего слова задают режим работы *ЗУ2*.

На этапе контроля *ЦАП1* рассматривается как поверяемый, *ЦАП2* — как измеритель погрешностей *ЦАП1*, а *ЦАП3* — как вспомогательный (генератор смещения — см. схему на рис. 3.1). На каждом шаге тестовых испытаний содержимое *Рг2* инкрементируется, и из *ЗУ1* последовательно считываются коды в соответствии с выбранным алгоритмом контроля ЦАП; *ЗУ2* переводится в режим считывания из зоны, в которой по всем адресам записаны нули. Так же, как в схеме на рис. 3.1, под управлением микро-ЭВМ с учетом реакции компаратора на *Рг3* подбираются коды, уравновешивающие систему, т. е. такие, что

$$I_{\text{ЦАП 1}}\left(M_i^R\right) + I_{\text{ЦАП 3}}(L_i) + (R_1/R_2)\, I_{\text{ЦАП 2}}\left(P_i^R\right) = 0,$$

где M_i^R, P_i^R и L_i — коды на входах *ЦАП1*, *ЦАП2* и *ЦАП3* на R-м шаге i-го испытания, формируемые точно так же, как в алгоритмах контроля линейных ЦАП (см. гл. 3).

Обработка результатов тестовых испытаний (кодов P_i^R) по алгоритмам, описанным в § 3.2 или 3.3, позволяет определить погрешности *ЦАП1*. После этого в *ЗУ2* заносятся корректирующие поправки — аналогично тому, как в схеме на рис. 3.4, но здесь поправки формируются по соотношению

$$N_{\text{корр } j} = -\sum_{i=0}^{n} \Delta_i \beta_{ij} / b_j,$$

где Δ_i — оценка погрешности i-го разряда *ЦАП1*; β_{ij} — i-я цифра кода a_j.

Для неизменной реализуемой функции в качестве *ЗУ1* используется постоянное запоминающее устройство (ПЗУ). При этом должна предусматриваться возможность считывания кодов a_j в микро-ЭВМ (соответствующая связь выхода *ЗУ1* с магистралью МПС представлена на рис. 4.3 штриховой линией). Если предусматривается оперативная замена функции, *ЗУ1* реализуется как ОЗУ. Вход данных такого ЗУ соединяется с линией данных МПС для обеспечения записи кодов a_j и b_j в соответствующие ячейки ЗУ. Эта связь изображена штрихпунктирной линией.

В режиме преобразования на *Рг2* поступают старшие биты преобразуемого кода — $N_{\text{ст}}$, а на *Рг3* — младшие ($N_{\text{мл}}$). За счет загрузки в *Рг1* соответствующего управляющего слова *ЗУ1* переключается в режим считывания из зоны адресов, в которой хранятся a_j и b_j, а *ЗУ2* — в режим считывания из зоны, в которой хранятся $N_{\text{корр}}$, причем относительные адреса обоих ЗУ задаются значением $N_{\text{ст}}$. Тогда

$$U_{\text{вых}} = \left[y_0^2 U_0 (N_{\text{корр}} + N_{\text{мл}}) b_j R_2 + \right.$$
$$\left. + y_0 U_0 a_j + \Delta I_{\text{ЦАП}}(a_j)\right] R_{\text{о. с}},$$

где y_0 — собственная проводимость ЦАП.

Нетрудно убедиться, что погрешности *ЦАП1* компенсируются.

Отметим, что по объему оборудования схема на рис. 4.3 не отличается от соответствующих линейных ЦАП с автокоррекцией, если не считать первого запоминающего устройства.

Очевидно, что и при программной реализации функционального преобразования потребуется хра-

нение таблиц, а место расположения элементов памяти таблиц — в периферийном блоке или в основной памяти микро-ЭВМ — обычно несущественно.

Функциональные кусочно-линейные АЦП реализуются путем включения функционального ЦАП в замкнутую схему подбора кода. Подбор кода, уравновешивающего выходной сигнал ЦАП и входной сигнал устройства, может осуществляться как программным методом, так и с использованием специализированных автоматов подбора, реализующих тот или иной алгоритм уравновешивания. Такое решение эффективно, если одно и то же оборудование используется как при вводе, так и при выводе информации.

Однако в системах, где функциональное преобразование требуется только при вводе аналоговой информации, более приемлем другой метод преобразования, являющийся по сути параллельно-последовательным. Сначала выполняется линейное АЦ-преобразование входного сигнала с точностью до нескольких старших разрядов. Полученный код определяет номер участка аппроксимации. Разность между аналоговым эквивалентом этого кода и входным сигналом (или весь входной сигнал), представленная в аналоговой форме, перемножается с кодом коэффициента наклона функции на текущем участке. Полученное напряжение линейно преобразуется в код, который складывается с кодом, соответствующим члену нулевого порядка интерполяционной формулы для текущего участка аппроксимации. Коды коэффициентов аппроксимации для всех участков хранятся в ЗУ по адресу, соответствующему номеру участка.

Типичная структурная схема приведена на рис. 4.4 и почти не отличается от параллельно-последовательного линейного АЦП (см. рис. 3.6). Принцип работы и уравнения аналогичны принципу работы и уравнениям (3.22) схемы на рис. 3.8. Отличие состоит лишь в том, что коэффициент усиления разностного усилителя в схеме на рис. 4.4 зависит от текущего кода *АЦП1*, а выходной код формируется как сумма кода *АЦП2* и кода функции в узле аппроксимации, считываемого из *ПЗУ*. Тогда

$$N_1 = i; \quad N_2 = f_1(N_1) \equiv a_i; \quad k_i = f_2(N_1) \equiv b_i;$$
$$N_3 = k_{\text{ЦАП}} k_i (U_{\text{вх}} - k_{\text{АЦП}} N_1),$$

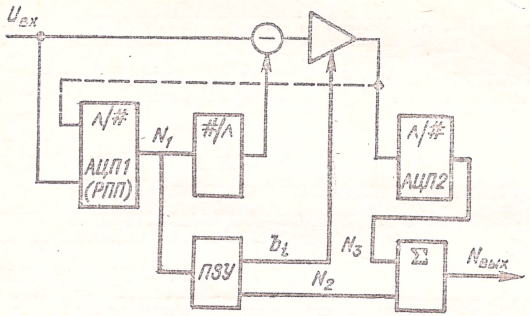


Рис. 4.4. Параллельно-последовательный функциональный АЦП

и, так как произведение $k_{АЦП} N_1$ равно абсциссе узла аппроксимации при соответствующем значении кодов в ПЗУ, то

$$N_{вых} = N_1 + N_3 = a_i + b_i (U_{вх} - U_i),$$

а значит, реализуется соотношение (4.1).

В качестве *АЦП1* и *АЦП2* могут использоваться любые малоразрядные АЦП. Применение параллельных АЦП обеспечивает время преобразования на уровне линейных параллельно-последовательных схем (1—5 мкс). Переход от линейного к функциональному преобразованию не вносит дополнительных инструментальных погрешностей. Увеличение объема оборудования по сравнению с линейным АЦП сводится к дополнительному ЦАП для управления коэффициентом усиления усилителя разностного сигнала, а блок хранения констант при любой реализации функционального преобразования должен присутствовать в системе.

Если высокое быстродействие не требуется, то вместо *АЦП1* можно включить автомат подбора кода, например регистр последовательных приближений (*РПП*), управляемый знаком выходного сигнала вычитателя (включение представлено на рис. 4.4 штриховой линией). Замкнутый контур цифроаналоговый преобразователь — усилитель — регистр последовательных приближений выполняет функции *АЦП1*; в качестве *АЦП2* можно также применить преобразователь поразрядного типа.

Если из схемы на рис. 4.4 исключить ЦАП и вычитатель, то линейный член аппроксимирующего вы-

ражения формируется перемножением всего входного сигнала усилителя с коэффициентом наклона функции на текущем участке, что соответствует представлению функции в виде (4.3). Такая реализация несколько экономичнее, но необходим прецизионный полноразрядный *АЦП2*, так как линейный член в соотношении (4.1) может достигать больших значений — вплоть до полной шкалы выходной величины.

Уменьшение объема аналогового оборудования достигается в схеме за счет последовательного определения старших и младших разрядов кода на одном линейном АЦП, но при этом ухудшаются динамические параметры устройства. Сначала входной сигнал кодируется с точностью до разрешающей способности АЦП, соответствующее текущему участку значение N_1 считывается из ЗУ и фиксируется в регистре, а выходной сигнал усилителя $b_i c(U_{вх} - U_{ЦАП})$ — в АЗУ. Затем разностный сигнал через коммутатор подается на тот же АЦП, а результаты, полученные в разных тактах, суммируются. Для достижения еще большей разрешающей способности используются аналогичные по структуре многотактные устройства.

При изменении воспроизводимой функции или записи кодов, обеспечивающих компенсацию погрешностей, ПЗУ заменяется на ОЗУ и вводятся схемы записи кода, аналогичные устройствам в схемах на рис. 4.1, 4.2, *б*.

Функциональное АЦ-преобразование с автокоррекцией может выполняться по той же схеме, что и линейное (см. рис. 3.8), меняются лишь коды, записываемые в ОЗУ. Этапы контроля идентичны, но коды, записываемые в ОЗУ ФАЦП, вычисляются по формуле

$$N_j = a_j + \sum_{i=0}^{n} \beta_{ij} \Delta_i b_j k_{АЦП\,2},$$

где Δ_i — оценка погрешности i-го разряда ЦАП; j — номер участка аппроксимации; a_j, b_j — коэффициенты j-го участка аппроксимации; β_{ij} — биты кода a_j.

Тогда на этапе преобразования

$$N_{вых} = N_j + N_{АЦП\,2} =$$

$$= N_j + b_j \left(U_{вх} - U_{ЦАП\,ид} - \sum_{i=0}^{n} \beta_{ij} \Delta_i \right) k_{АЦП}$$

($U_{\text{ЦАП ид}}$ — идеальное значение выходного напряжения ЦАП), что при соответствующем выборе масштабов эквивалентно соотношению (4.1).

Погрешности ЦАП компенсируются, а влияние погрешностей остальных элементов на результат преобразования пренебрежимо мало, как показано в § 3.5.

Дополнив схему на рис. 4.4 преобразователями величины a_j в аналоговую и используя аналоговое суммирование, можно получить ФП типа «аналог — аналог» (рис. 4.5), совпадающий по структуре и воспроизводимым зависимостям со схемой на рис. 4.4; меняется лишь форма представления переменных. Если исключить из рассмотрения *ЦАП4* и учесть, что выходной код *АЦП* равен номеру текущего участка аппроксимации $i = \text{ent}\,(kU_{\text{вх}})$, что в *ПЗУ* по адресу i записаны константы аппроксимации a_i и b_i, а $R_1 = R_2$, легко получить

$$U_{\text{вых}} = (I_{\text{ЦАП 1}} + I_{\text{ЦАП 2}} + I_{\text{ЦАП 3}})/y' =$$

$$= \left[b_i \left(U_{\text{вх}} - U_0 \frac{i}{i_{\max}}\right) + U_0 a_i\right] \frac{y_0}{y'} \equiv a_i + b_i (U_{\text{вх}} - U_i).$$

При смене участка аппроксимации в кусочно-линейных аппроксиматорах с аналоговым выходом возможны паразитные всплески выходного сигнала, связанные с различным временем прохождения сигнала по каналам формирования постоянного и линейного членов. Для исключения этих эффектов на выход подобных устройств целесообразно включать АЗУ.

Если параметры *ЦАП1* и *ЦАП3* идентифицированы одним из описанных в гл. 3 способов, то сни-

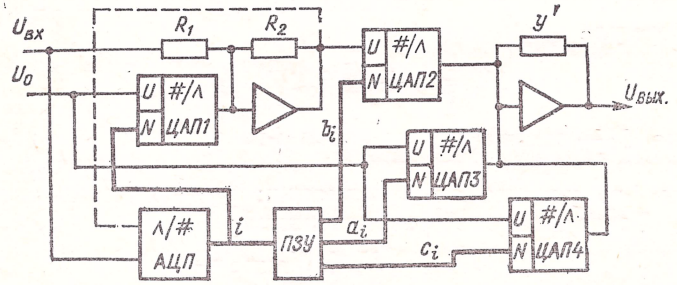


Рис. 4.5. Функциональный преобразователь типа «аналог — аналог» с коррекцией погрешности

жение погрешностей осуществляется путем генерации компенсирующего сигнала на вспомогательном ЦАП (*ЦАП4* на рис. 4.5) с малой шкалой выходного тока. Пусть

$$c_i = k_1 \sum_{j=1}^{n} \gamma_{ij}\Delta_{j1}/b_1 + k_2 \sum_{j=1}^{n} \alpha_{ij}\Delta_{j3},$$

где γ_{ij} и α_{ij} — j-е биты кодов i и a_i соответственно; Δ_{j1} и Δ_{j3} — разрядные погрешности *ЦАП1* и *ЦАП3*; k_1 и k_2 — коэффициенты, определяемые соотношением масштабов *ЦАП1* и *ЦАП2*.

Можно показать, что при этом обеспечивается компенсация погрешностей. Контроль, т. е. определение Δ_{j1} и Δ_{j3}, выполняется аналогично тому, как в схеме на рис. 3.1. При контроле *ЦАП1* преобразователь *ЦАП4* используется как измеритель ступеней характеристики *ЦАП1*, а *ЦАП3* выполняет функции генератора смещения. При контроле *ЦАП3* функции генератора смещения выполняет *ЦАП1*.

Так же, как в линейных ПФИ, объем оборудования уменьшается путем использования младших разрядов *ЦАП1* для контроля и коррекции его старших разрядов или преобразования младших разрядов кода a_i посредством *ЦАП3* за счет суммирования их с корректирующей поправкой в цифровой форме.

Гибридные кусочно-линейные ФП строятся из того же набора элементов и идентичны по структуре линейным преобразователям с автокоррекцией, что является предпосылкой для создания многофункциональных программируемых преобразователей информации.

Отметим некоторые особенности реализации кусочно-линейных ФП при хранении таблиц коэффициентов и компенсирующих поправок в основной памяти микро-ЭВМ. В этом случае регистры, хранящие текущие значения a_i, b_i, а при автокоррекции и c_i, связанные выходами с входами соответствующих ЦАП, загружаются данными из памяти через магистраль МПС. При плавном изменении преобразуемого сигнала, что типично для систем управления, смена участка аппроксимации происходит сравнительно редко. Это позволяет не обращаться к памяти при каждом преобразовании и уменьшить загрузку магистрали системы и процессора.

Загрузка регистров гибридного процессора в зависимости от требований к системе может осуществляться разными способами. Простейший способ — программная загрузка с фиксированной частотой, определяемой предельными динамическими свойствами преобразуемых сигналов. Подпрограмма загрузки регистров гиб-

ридного периферийного процессора предусматривает чтение кода с АЦП старших разрядов, выбор из памяти в соответствии со считанным кодом и запись в регистры a_i, b_i, c_i. Такая процедура мало отличается от вычисления функции методом КЛА с использованием только программных средств, но при гибридной реализации она выполняется существенно реже. Число обращений к такой программе сокращается путем вызова ее по прерываниям, формируемым при смене кода на выходе АЦП старших разрядов. При этом в периферийный блок вводится дополнительный регистр, хранящий номер текущего участка аппроксимации, а также схема сравнения кодов АЦП и этого регистра. При несовпадении кодов формируется запрос на прерывание, вызывающий программу перегрузки всех регистров гибридного процессора, в том числе загрузки в дополнительный регистр нового номера участка аппроксимации.

Аналогично выполняется загрузка с использованием прямого доступа к памяти. Гибридный процессор кроме схемы формирования запроса на прямой доступ, аналогичной описанной схеме формирования запросов на прерывание, содержит блок управления прямым доступом, формирующий адрес памяти по коду АЦП старших разрядов и сигналов управления.

Вариант размещения памяти коэффициентов и способ доступа к ней выбираются исходя из характера задач системы на этапе ее структурного синтеза.

4.3. Полиномиальные и дробно-рациональные функциональные преобразователи

Существенное сокращение числа запоминаемых коэффициентов аппроксимации дает использование полиномиальной (ПА) и дробно-рациональной (ДРА) аппроксимации. Хотя в общем случае возможна сквозная и кусочная аппроксимация, в дальнейшем рассматриваются ФП, реализующие сквозную аппроксимацию, так как они имеют более простую структуру.

Небольшое число коэффициентов аппроксимации дает возможность в специализированных ФП со значительным эффектом использовать аналоговые способы хранения коэффициентов — в виде номиналов резисторов. В многофункциональных устройствах применение ПА и ДРА целесообразно прежде всего потому, что уменьшается время перестройки ФП на новую функцию.

Цепочка последовательно соединенных умножающих ЦАП (рис. 4.6, *а*), если на аналоговый вход первого подается постоянное напряжение, а на все цифровые — код аргумента, воспроизводит на вы-

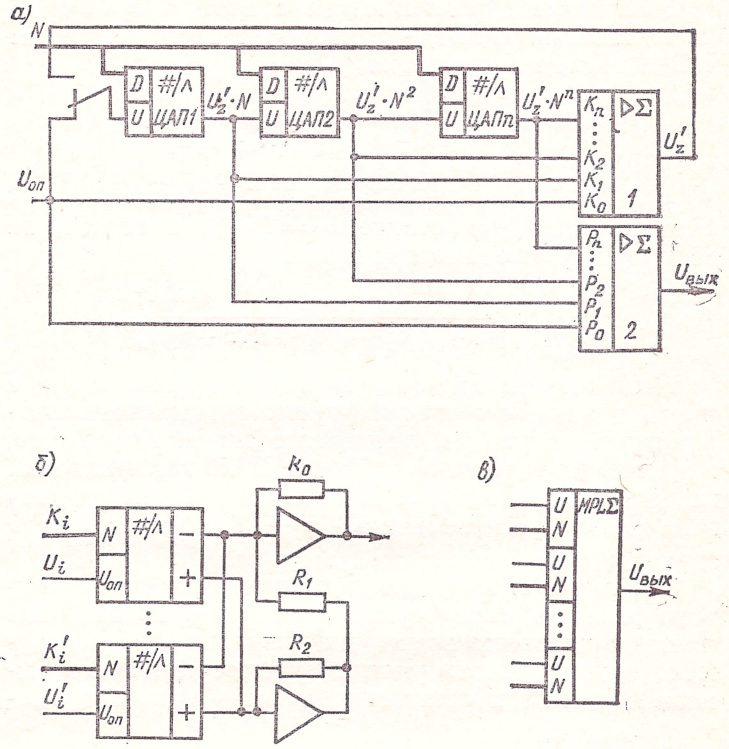


Рис. 4.6. Преобразователь кода в напряжение с полиномиальной или дробно-рациональной характеристикой (*а*), вариант реализации (*б*) и условное графическое обозначение (*в*) суммирующего блока

ходах ЦАП аналоговые сигналы, пропорциональные целой степени аргумента. Предполагается отсутствие взаимного влияния ЦАП, т. е. каждый ЦАП должен содержать кроме резистивной матрицы и ключей также выходной ОУ. Весовое суммирование выходных сигналов ЦАП обеспечивает воспроизведение полиномиальной функции аргумента

$$U_z = U_0 (k_0 + k_1 N_x + k_2 N_x^2 + \ldots + k_n N_x^n)$$

и при соответствующем выборе коэффициентов передачи сумматора — аппроксимацию функции одного аргумента из широкого класса функций.

Замыкание обратной связи с выхода сумматора на вход цепочки ЦАП обеспечивает воспроизведение на его выходе напряжения [17, 56]

$$U'_z = \frac{U_0 k_0}{1 + k_1 N_x + k_2 N_x^2 + \ldots + k_n N_x^n}.$$

Напряжение на выходе каждого i-го ЦАП может быть представлено в виде $U_i = U'_z N_x^i$, а значит, на выходе второго сумматора имеем

$$U_z = U_0 k_0 \frac{k'_0 + k'_1 N_x + k'_2 N_x^2 + \ldots + k'_n N_x^n}{1 + k_1 N_x + k_2 N_x^2 + \ldots + k_n N_x^n}.$$

При реализации блоков суммирования следует иметь в виду, что коэффициенты оптимальных приближений могут быть различного знака. Кроме того, в некоторых реализациях блоков ЦАП коэффициенты передачи отрицательны. Поэтому необходимо иметь возможность устанавливать k_i и k'_i произвольного знака.

В технике аналоговых вычислительных машин широко известна схема суммирования, по которой все члены с положительными коэффициентами суммируются одним инвертирующим сумматором, а его выходной сигнал и остальные члены — другим сумматором.

Для оперативно перестраиваемых ФП наиболее экономично использование микросхем или структур ЦАП с коммутацией тока, например К572ПА1, имеющих два выхода, причем сумма выходных токов не зависит от кода, ток с одного из выходов пропорционален числу, представленному входным кодом, т. е. $I_i = y_0 U_i N_i$, а ток с другого выхода $I'_i = y_0 U_i (N_{\max} - N_i)$.

Тогда для схемы с объединением одноименных выходов всех ЦАП (рис. 4.6, *б*) имеем при $R_1 = R_2$

$$I_{\Sigma 1} = \sum_{i=1}^{n} U_i y_0 N_i; \quad I'_{\Sigma 2} = -I_{\Sigma 2} = \sum_{i=1}^{n} y_0 U_i (N_{\max} - N_i);$$

$$U_{\text{вых}} = y_0 R_0 \sum_{i=0}^{n} U_i (2N_i - N_{\max});$$

значение $(2N_i - N_{\max})$ находится в интервале $[-N_{\max}; N_{\max}]$, т. е. можно устанавливать любые

знаки коэффициента передачи, не прибегая к дополнительной коммутации.

Таблица 4.1, составленная на основе работ [12, 37], иллюстрирует возможности ПА и ДРА для воспроизведения ряда типовых функций. В указанных источниках приведены значения коэффициентов аппроксимирующих выражений, в настоящей таблице — максимальные приведенные методические погрешности аппроксимаций полиномами и рациональными дробями наилучшего равномерного приближения, причем для полинома указана степень, а для рациональной дроби — соотношение степеней полиномов числителя и знаменателя.

Таблица 4.1. **Погрешности аппроксимации некоторых функций, %**

Функция	Полином			Рациональная дробь		
	3	4	5	2:1	2:2	3:3
$\sin(\pi x/2)$	0,12	0,05	0,01	0,3	0,01	0,001
$\operatorname{tg}(9x/2)$	0,08	0,03	0,006	0,6	0,1	0,04
$\sqrt[3]{x}$	0,15	0,07	0,005	0,5	0,1	0,05
$\arcsin(x\sqrt{2})$	0,14	0,06	—	0,04	0,025	—
$\lg(1-0{,}9x)$	0,1	—	—	0,24	0,03	—
$\exp x$	0,1	0,06	0,0007	0,3	0,05	0,006

В универсальных, однократно программируемых структурах для реализации полинома n-й степени необходимо n ЦАП и $n+3$ прецизионных, устанавливаемых при программировании резисторов, а для реализации рациональной дроби — столько же ЦАП и $n+5$ резисторов. Поэтому, как видно из таблицы, дробно-рациональные неперестраиваемые аппроксиматоры при той же точности экономичнее полиномиальных. Выбор способа реализации оперативно программируемых ФП не столь однозначен. При ПА необходимо $2n+1$ ЦАП и $n+1$ регистров для хранения кода, а при ДРА — $3n+1$ ЦАП и $2n+1$ регистров. Несмотря на меньшее значение n, необходимое для достижения заданной точности при ДРА, по суммарным затратам полиномиальные ФП в ряде случаев экономичнее.

Преобразователи типа «аналог — аналог» реализуются добавлением к схеме на рис. 4.6, *б* линейного

АЦП на входе. На основе цепочки из n ЦАП, умножающих аналоговые сигналы на N_x, воспроизводятся рациональные дроби с полиномами степени n в знаменателе и степени $n+1$ в числителе, если аналоговый входной сигнал подается и на АЦП, и, без преобразования формы представления, непосредственно на аналоговые сумматоры. Таким образом почти без дополнительного оборудования уменьшаются методические погрешности. Преобразование аналог — код, как и в других типах ФП, осуществляется по замкнутой схеме с подбором кода, уравновешивающего выходной сигнал функционального ЦАП и преобразуемый входной сигнал.

Значительно уменьшает объем оборудования в гибридных процессорах последовательная организация вычислений. Для ДРА и ПА такой подход особенно эффективен, так как действия, выполняемые на каждом шаге алгоритма, одинаковы, а меняются лишь соответствующие коэффициенты.

Рассмотрим схему на рис. 4.7. На каждом i-м шаге *РПП* подбирает код N_z по условию $U_0 N_{zi} + U_x N_{z,\,i-1} + U_0 c_i = 0$. Сигналом «Конец преобразования» от *РПП* этот код переписывается во вспомогательный регистр и участвует в формировании результата для следующего шага преобразования.

Запоминающее устройство с последовательной выборкой циклически генерирует последовательность кодов $c_0 - c_n$. Оно может быть реализовано на регистрах сдвига или выполнено как классическое ЗУ со счетчиком адресов. Если суммирующий блок выполнен по схеме на рис. 4.4, *б*, знак c_i может быть любым. Очевидно,

$$N_{zn} = c_n - x\,(c_{n-1} - x\,(\ldots - x\,(c_1 - xc_0)\ldots)),$$

где $x = U_x/U_0$.

Незначительные изменения структуры ЦА-вычислителя (рис. 4.7) позволяют осуществить весьма широкий набор вычислительных преобразователей. Если выполнить коммутацию цифроаналогового умножителя-сумматора так, что $D_1 = 0$, $D_2 = N_{вх}$, а вместо U_x на вход *АЗУ* подать U^*, то на следующем такте формируется напряжение $U_i^* = U_{i-1}^* N_x + U_0 c_i$, а за n тактов —

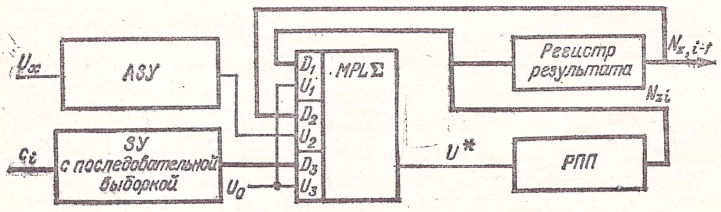


Рис. 4.7. Программируемый итерационный функциональный ПФИ

напряжение, пропорциональное полиному от входного аргумента, представленного в цифровой форме.

Довольно легко строятся структуры ЦА-вычислителей с характеристикой

$$U^* = [U_0 (N_{z,\, i-1} + b_i) + U_{\text{вх}}] N_{zi} + U_0 c_i,$$

где b_i — числа, считываемые из *ЗУ* (рис. 4.7) синхронно с c_i.

Так как *РПП* на каждом шаге подбирает код, обеспечивающий $U^* = 0$, то после каждого шага

$$N_{zi} = \frac{c_i}{U_x/U_0 + b_i + N_{z,\, i-1}}.$$

При этом N_{zn} представляет цепную дробь:

$$N_{zn} = \cfrac{c_n}{x + b_n + \cfrac{c_{n-1}}{x + b_{n-1} + \cfrac{c_{n-2}}{x + b_{n-2} + \ \dots}}}.$$

Как известно, любая рациональная дробь может быть приведена к цепной дроби [12]. В большинстве случаев достаточно малая методическая погрешность обеспечивается при степени рациональной дроби два-три, что соответствует двум-трем циклам преобразования.

Особенность ДРА и ПА — довольно большое число источников и сложный характер влияния погрешности на результат преобразования. Это затрудняет использование методов повышения точности, основанных на коррекции и компенсации первичных погрешностей. Поэтому при построении устройств повышенной точности особое внимание надо уделять поиску структур и аппроксимирующих зависимостей, уменьшающих чувствительность результата к погрешностям некоторых компонентов аппроксиматоров. Для этого широко используется метод поправок, при котором заданная функция представляется в виде суммы: $f(x) = ax + \varphi(x)$. Линейная часть ax воспроизводится с малой, а нелинейная $\varphi(x)$ — с большой относительной погрешностью. Метод эффективен, если нелинейная часть составляет 10—20 % максимального значения $f(x)$.

Рассмотрим более общий и эффективный способ добавления члена, пропорционального аргументу, при формировании выходного сигнала [12].

На рис. 4.8 приведена схема дробно-рационального аппроксиматора типа «напряжение — напряже-

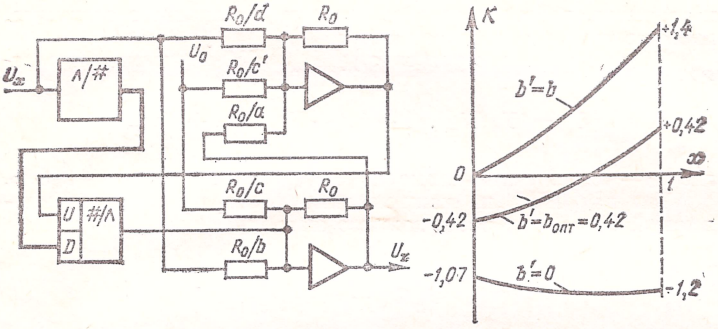


Рис. 4.8. Схема ДРА типа «напряжение — напряжение» с пониженной чувствительностью и график изменения коэффициента чувствительности в зависимости от аргумента преобразования

ние». Пусть $I_{ЦАП} = \frac{U_0}{R_0}\left(\frac{U_x}{U_0} + \Delta_\Sigma\right)$, где Δ_Σ — суммарная относительная погрешность АЦП и ЦАП. Тогда

$$U_z = \frac{dx^2 + x(b' + b'' + d\Delta_\Sigma) - b'\Delta_\Sigma + c}{1 - ax - a\Delta_\Sigma} U_0 \approx$$

$$\approx U_{z\,ид} + \frac{\partial U_z}{\partial \Delta_\Sigma}\Delta_\Sigma,$$

где $x = U_x/U_0$, $x \in [0, 1]$; $U_{z\,ид}$ — идеальное значение выходного напряжения.

Воспроизведение линейного члена знаменателя двумя цепями избыточно, но оказывается, что влияние погрешности Δ_Σ на результат преобразования существенно зависит от соотношения значений b' и b'' при сохранении их суммы. Действительно, коэффициент влияния Δ_Σ на результат U_z выражается как

$$K(x) = \frac{1}{U_0}\frac{\partial U_z}{\partial \Delta_\Sigma}\Big|_{\Delta_\Sigma=0} = \frac{(d - ab'')x - b' + ac}{(1 - ax)^2}.$$

Для функционального преобразования с параметрами $a = 1{,}067$; $b = 1{,}661$; $c = 0{,}002$; $d = 0{,}407$, реализующего аппроксимацию функции $\sin(\pi x/2)$ в интервале $x \in [0, 1]$ с методической погрешностью 0,3 %, оптимальным, т. е. обеспечивающим минимизацию максимума модуля $K(x)$ в интервале аппроксимации, является распределение $b' = 0{,}42$; $b'' = 1{,}241$. Тогда $\max|K(x)| = K(1) = -K(0) = 0{,}42$. При $b' =$

$= 0$ и $b'' = b$ коэффициент чувствительности достигает 1,2, а при $b'' = 0$ и $b' = b$ его максимальное значение равно 1,4 (рис. 4.8).

Аналогичное снижение чувствительности к погрешностям АЦП при добавлении члена, пропорционального U_x, в знаменатель функции получено для большинства ДРА типа «напряжение — напряжение» первого и второго порядка. Практически это означает, что в качестве АЦП для подобных структур можно использовать неточные схемы, например АЦП параллельного типа.

Снижение чувствительности возможно также за счет использования неминимаксных аппроксимаций более высоких степеней по сравнению с минимаксными, обеспечивающими заданную методическую погрешность. Постановка задачи оптимизации аппроксимации и структуры ФП по критерию минимальной чувствительности к погрешностям элементов совпадает с постановкой аналогичной задачи при синтезе аналоговых фильтров, рассмотренной в гл. 6.

Глава пятая

УПРАВЛЯЕМЫЕ ГЕНЕРАТОРЫ СИГНАЛОВ

5.1. Аналоговый интегратор с цифровым управлением

Необходимость генерации аналоговых сигналов с заданным законом изменения во времени $U = f(t)$ возникает при формировании тестовых воздействий на исследуемые объекты, задании траектории движения объектов управления и других задачах управления и моделирования. Возможны различные варианты распределения задачи генерации функции между компонентами системы управления.

Широко известны способы воспроизведения аналоговых сигналов, основанные на генерации последовательности кодов и преобразовании их затем в непрерывную форму с использованием линейных и нелинейных ЦАП. Генерация кодов может выполняться программно или с помощью специализированных цифровых средств [37]. Программная генерация, как

указывалось во введении, возможна лишь при воспроизведении сигналов низких и инфранизких частот. Специализированные цифровые устройства обеспечивают приемлемую точность в широком диапазоне частот сигналов — от инфранизких до сверхзвуковых, но относительно сложны. К тому же ступенчатый характер генерируемого сигнала, присущий всем методам, основанным на цифровой генерации, во многих случаях неприемлем. Тогда схему приходится усложнять, вводя в нее аналоговые интерполяторы, и, по существу, переходить к аналоговым генераторам функций времени.

В связи с этим представляют интерес аналоговые управляемые генераторы, в которых интерполяция или сглаживание сигнала осуществляются за счет свойств самого генератора. Функциональные возможности, вопросы автоматической перестройки и особенно структурные методы снижения погрешностей устройств этого типа, на наш взгляд, не нашли достаточного отражения в литературе и поэтому подлежат подробному рассмотрению.

Основной узел генераторов рассматриваемого типа — цифроуправляемый интегратор аналогового сигнала. Обычно используются активные интеграторы на операционных усилителях с конденсатором в цепи обратной связи. Для настройки генератора необходимо вводить начальные условия (НУ) интегратора и его коэффициент передачи k_i.

Известно много вариантов реализации цепей установки НУ электронных аналоговых интеграторов [17, 55]. В отношении сокращения времени на установку НУ, что важно в схемах генераторов, наиболее перспективны схемы с подключением сравнивающего усилителя в цепь обратной связи на этапе установки НУ. Вариант реализации такого блока на ЦАП с токовым выходом приведен на рис. 5.1. Здесь в режиме задания НУ замыкается ключ S_1, ключ S_2 разомкнут, а S_4 переключает выходной ток *ЦАП1* на общую шину (в некоторых схемах достаточно установить $N_1 = 0$). Выходное напряжение, пренебрегая ЭДС смещения *ОУ1* и учитывая конечность коэффициента усиления, можно представить в виде

$$U_{\text{вых}}(p) = \frac{U_{\text{НУ}} + e_{\text{см}}}{1 + pCR_{S1}/k_{\text{СУ}}},$$

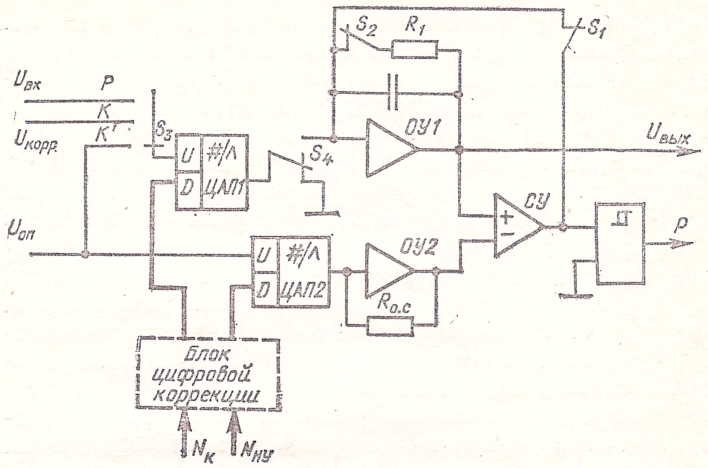


Рис. 5.1. Цифроуправляемый интегратор
$N_К$ и $N_{НУ}$ — коды, задающие коэффициент передачи интегратора и начальные условия

где $e_{см}$ и $k_{СУ}$ — ЭДС смещения и коэффициент усиления сравнивающего усилителя (*СУ*); R_{S1} — сопротивление ключа S_1 в замкнутом состоянии.

При весьма умеренных требованиях к значению и стабильности параметров R_{S1} и $k_{СУ}$ время установки НУ может составлять менее 0,001 постоянной времени в режиме интегрирования, причем обеспечена погрешность установки НУ на уровне ЭДС смещения *СУ*.

Установка необходимой постоянной времени интегрирования сводится к подаче соответствующего кода на ЦАП1. В режиме интегрирования (S_1 и S_2 разомкнуты, а S_3 в положении «*P*»), пренебрегая погрешностями, вносимыми элементами схемы, имеем

$$U_{вых}(p) = -\frac{k_и}{p} U_{вх}(p), \quad k_и = \frac{1}{T_{экв}} = \frac{N_1}{N_{max}} \frac{y}{C},$$

где N_1 и N_{max} — текущее и максимальное значения кода, подаваемого на ЦАП; $k_и$ — коэффициент передачи интегратора; $T_{экв}$ — постоянная времени.

При наличии в решающем блоке нескольких интеграторов переход из режима задания НУ в режим интегрирования осуществляется либо за счет синхронного размыкания ключей установки НУ во всех

интеграторах, либо синхронным переключением S_4. Во втором случае можно использовать общий блок задания НУ для всех интеграторов с последовательной коммутацией неинвертирующего входа *СУ* и его выхода на все интегрирующие усилители схемы.

Рассмотрим некоторые структурные методы повышения точности цифроуправляемого интегратора. Наибольшее значение имеют контроль и коррекция коэффициента передачи, так как невозможна взаимная компенсация температурных изменений емкости конденсатора и сопротивления резисторных матриц. Поэтому в широком диапазоне изменения температуры нестабильность постоянной времени интеграторов достигает нескольких процентов.

Контроль постоянной времени интеграторов выполняется в динамическом режиме путем измерения либо изменения выходного сигнала за фиксированный интервал времени при интегрировании эталонного воздействия, либо времени, в течение которого произойдет заданное изменение выходного сигнала при заданном воздействии. Второй вариант предпочтительнее, так как не требует точного задания опорного напряжения. Например, в схеме на рис. 5.1 при произвольном значении $U_{\text{корр}}$ после замыкания ключа установки НУ выходное напряжение становится равным $U(t_0) = U_{\text{корр}} + e_{\text{см}}$ (t_0 — момент замыкания ключа). Если ключ S_2 разомкнут, то выходное напряжение изменяется по закону

$$U_{\text{вых}}(t) = U(t_0) - \frac{yN_1^*}{CN_{\max}} U_{\text{корр}}(t - t_0),$$

где N_1^* — произвольный ненулевой известный код, подаваемый на ЦАП в режиме контроля.

Выходное напряжение достигает уровня ЭДС смещения *СУ*, а значит, и порога срабатывания компаратора, за время

$$T = \frac{C}{y} \frac{N}{N_1^*}.$$

Интервал времени, в течение которого значение $U_{\text{вых}}(t)$ превышает $e_{\text{см}}$, с высокой точностью определяется посредством таймера вычислительной системы. При этом

$$k_{\text{и}} = \frac{C}{y} = \frac{TN_1}{N_{\max}} = \frac{N_{\text{т}} T_{\max} N_1^*}{N_{\max}},$$

где $N_т = T/T_{max}$ — код, накапливаемый на программируемом таймере в режиме измерения временного интервала; T_{max} — интервал времени, в течение которого счетчик таймера переполняется.

Удобно использовать $N_1^* = T_и/T_{max}$, где $T_и$ — заданная постоянная времени интегратора. Тогда для установки $T_и$ достаточно в рабочем режиме подавать код $N_1 = N_т$ независимо от параметров аналоговых элементов. Очевидно, при этом компенсируются и линейные составляющие погрешности ЦАП.

Нелинейные составляющие можно корректировать теми же методами, которые изложены в гл. 3. Отметим, что для контроля нет необходимости «изымать» контролируемый ЦАП из схемы интегратора. Достаточно перевести интегратор (рис. 5.1) в квазистатический режим (режим суммирования медленно изменяющихся сигналов) замыканием ключа S_2 и размыканием S_1. Для обеспечения возможности коррекции *ЦАП1* и *ЦАП2* следует строить по схемам на рис. 3.2, тогда младшие разряды каждого ЦАП могут использоваться для его контроля и коррекции. Сопоставляя схемы на рис. 5.1 и 3.1, можно видеть, что *ЦАП2* при дифференциальных измерениях характеристики *ЦАП1* и, наоборот, *ЦАП1* при соответствующих измерениях характеристики *ЦАП2* используются как формирователи напряжения смещения — аналогично *ЦАП3* в схеме на рис. 3.1.

Важные составляющие погрешности интеграторов — конечность коэффициента усиления ОУ и сопротивления утечки конденсатора. Известные структурные методы определения их влияния недостаточно эффективны, и предпочтительным путем является уменьшение времени интегрирования до значений, при которых эти составляющие пренебрежимо малы. Для типовых ОУ и конденсаторов допустимый интервал составляет единицы секунд, а применение прецизионных ОУ позволяет довести допустимый интервал интегрирования до нескольких минут при погрешности 0,1 %. При генерации функции времени в больших временных интервалах проблема решается за счет кусочного воспроизведения функций в интервалах, не превышающих допустимое время интегрирования, причем при переходе на новый участок из памяти заносятся НУ, соответствующие этому участку.

5.2. Генераторы функций времени на основе полиномиальных аппроксимаций

На выходах цепочки n последовательно соединенных интеграторов при нулевых НУ и постоянном входном сигнале формируются напряжения, пропор-

циональные произведению входного сигнала на целую степень текущего времени:

$$u_i(\tau) = U_{\text{вх}}\tau^i \prod_{j=1}^{i} k_{\text{и}j}, \qquad (5.1)$$

где i, j — номера интеграторов; $k_{\text{и}j}$ — коэффициент передачи j-го интегратора; $\tau = t - t_0$ (t_0 — момент начала решения).

Основные способы получения произвольных полиномиальных функций:

1. Суммирование напряжений вида (5.1) на дополнительном сумматоре. Этот вариант наиболее эффективен при необходимости одновременного воспроизведения нескольких функций времени.

2. Задание ненулевых НУ на интеграторах цепочки. Тогда

$$u_1(\tau) = \int_0^\tau k_{\text{и}1}\left(\int_0^\tau k_{\text{и}2} \ldots \left(\int_0^\tau k_{\text{и}n}\, d\tau + U_n(0)\right)\ldots d\tau + \right.$$

$$\left. + U_2(0)\right) d\tau + U_1(0) = U_1(0) + U_2(0)\, k_{\text{и}1}\tau +$$

$$+ U_3(0)\, k_{\text{и}1}k_{\text{и}2}\tau^2 + \ \ldots\ + U_n(0)\, k_{\text{и}1}k_{\text{и}2} \ldots k_{\text{и}\,n-1}\tau^{n-1} +$$

$$+ U_{\text{вх}}k_{\text{и}1}k_{\text{и}2} \ldots k_{\text{и}n}\tau^n.$$

3. Использование дополнительных суммирующих входов интеграторов при нулевых НУ (рис. 5.2). Подача постоянного входного сигнала на дополнительный вход i-го интегратора эквивалента заданию соответствующего НУ на $(i+1)$-м интеграторе.

Варианты 2 и 3 функционально однотипны, но при наличии резерва времени на установку НУ вариант 2 предпочтителен, так как возможно использование общего блока установки НУ, последовательно подключаемого ко всем (или нескольким) интеграторам. При необходимости быстрой смены НУ вариант 3 требует меньших затрат оборудования. В дальнейшем рассматривается этот вариант (рис. 5.2), но выводы справедливы и для других вариантов реализации генератора степенных функций.

Для воспроизведения широкого класса функций времени прибегают к их аппроксимации полиномиальными функциями. Сквозная аппроксимация большинства функций в больших интервалах времени чаще всего неэффективна, так как требуется высо-

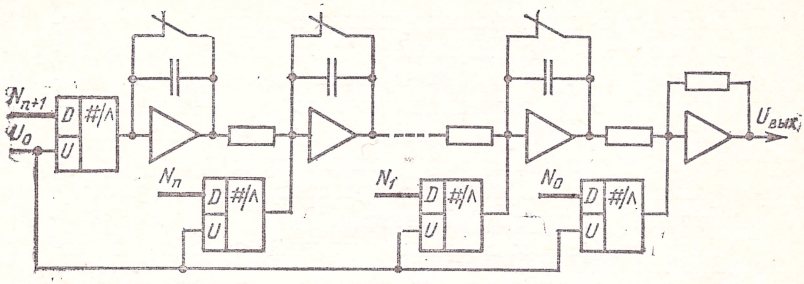


Рис. 5.2. Генератор полиномиальной функции времени

кая степень аппроксимирующего полинома и, как следствие, большие затраты оборудования. Кроме того, при непрерывном интегрировании в больших временных интервалах начинает существенно сказываться накопление ошибок интегрирования. Поэтому, как правило, используется кусочная полиномиальная аппроксимация.

Переход с m-го участка аппроксимации на участок $m + 1$ сводится к синхронной смене НУ в интеграторах посредством замыкания ключей установки НУ и к смене кодов на ЦАП в соответствующие моменты времени.

Простейший частный случай кусочного аппроксиматора функций времени — кусочно-линейный генератор функции [35]. В последнее время для многофункциональных генераторов, управляемых от ЭВМ, используется аппроксимация полиномами второго и третьего порядка. Это позволяет увеличивать длительность интервалов аппроксимации, уменьшать интенсивность обмена данных между ЭВМ и перестраиваемым генератором, а также требуемую емкость памяти.

В зависимости от условий задачи используется как независимая аппроксимация функций на всех участках, так и аппроксимация, основанная на сохранении непрерывности функции $f(t)$ и некоторых ее производных при переходе с участка на участок (сплайн-аппроксимация). Максимально гладкая сплайн-аппроксимация обеспечивает непрерывность $n - 1$ старших производных. «Дефектный» сплайн допускает разрывы некоторых производных в точках стыковки участков. Глобальные ограничения на непрерывность $f(t)$ ведут к ограничению в выборе ко-

эффициентов аппроксимирующих полиномов на каждом участке. Максимальная погрешность аппроксимации функции при заданном шаге интерполяции увеличивается с ростом гладкости по сравнению с погрешностью, которой можно достичь, используя наилучшее чебышевское приближение с выбором коэффициентов для каждого участка индивидуально, независимо от других участков.

Вопросы аппроксимации функций сплайнами изложены, например, в работе [9]. Доказано, что сплайн-аппроксимация для функций, удовлетворяющих условиям Липшица, абсолютно сходится при уменьшении длины участка аппроксимации, причем погрешность аппроксимации

$$\Delta_{\max} < K_{nJ} \max_{[t_J,\, t_J+\Delta t]} \left| \Delta t \, \frac{d^{n+1} f(t)}{dt^{n+1}} \right|,$$

где Δt — шаг интерполяции; K_{nJ} — константа для данного вида аппроксимации, определяемая степенью n аппроксимирующей кусочно-полиномиальной функции и числом производных J, которые задаются непрерывными.

Таблица 5.1. **Значения K_{nJ} для некоторых видов аппроксимации**

n	$i=0$	$i=1$	$i=2$	$i=3$
1	1/16	1/8	—	—
2	1/192	1/96	1/8	—
3	1/3072	1/1536	1/384	5/384

В табл. 5.1 приведены значения K_{nJ} для $n = 1$, 2, 3 при различном числе непрерывных старших производных, причем i — номер старшей производной, для которой допускается разрыв на границе участка аппроксимации. Для наглядного представления соотношения числа участков данные приведены в форме простых дробей. Нетрудно видеть, что при равной степени аппроксимирующей функции и равной допустимой погрешности увеличение гладкости ведет к значительному увеличению числа участков. Однако тре-

буется меньшая емкость памяти, так как одновременно уменьшается число «индивидуальных» (для каждого участка) коэффициентов.

Часто непрерывность $f(t)$ и некоторых ее производных непосредственно вытекает из требований к системе управления. Но и в тех случаях, когда не предъявляется требование максимальной гладкости, использование гладких аппроксимаций приводит к упрощению схемы интегратора и уменьшению требуемой емкости памяти.

Непрерывность k-й производной означает, что НУ для k-го интегратора на каждом следующем участке есть результат интегрирования на предыдущем. Это позволяет при генерации сигналов относительно небольшой длительности и допустимости нулевых начальных значений старших производных свести схемы установки НУ интеграторов к простым разрядным ключам. При генерации длительных сигналов, для того чтобы исключить накопление ошибок интегрирования, необходима периодическая «привязка» в соответствующие моменты времени выходных сигналов интеграторов к требуемым значениям производных путем записи соответствующих напряжений в интеграторы по цепям установки НУ. Для упрощения коррекции накапливающихся при интегрировании ошибок большой интерес представляет воспроизведение гладких кусочно-полиномиальных функций путем их разложения на базисные сплайны (B-сплайны). Любая сплайн-функция степени n на последовательности узлов может быть представлена линейной комбинацией B-сплайнов, построенных на той же последовательности узлов [9].

Каждый B-сплайн n-й степени $(B_{i,n+1})$ отличен от нуля лишь в $n+1$ смежных интервалах, начиная с i-го. Для интервалов равной длины сплайны имеют одинаковую форму, т. е. $B_{iK}(t) = B_{JK}[t-(i-J)\Delta t]$ при $J \geqslant i$.

Таким образом, можно на одной цепочке интеграторов последовательно генерировать отличные от нуля фрагменты нескольких B-сплайнов. Рассмотрим, например, генератор функции, работающий по принципу ее разложения на параболические B-сплайны (рис. 5.3, *а*, *б*). Временные диаграммы работы генератора приведены на рис. 5.3, *в*. Генераторы сплайнов других степеней строятся аналогично.

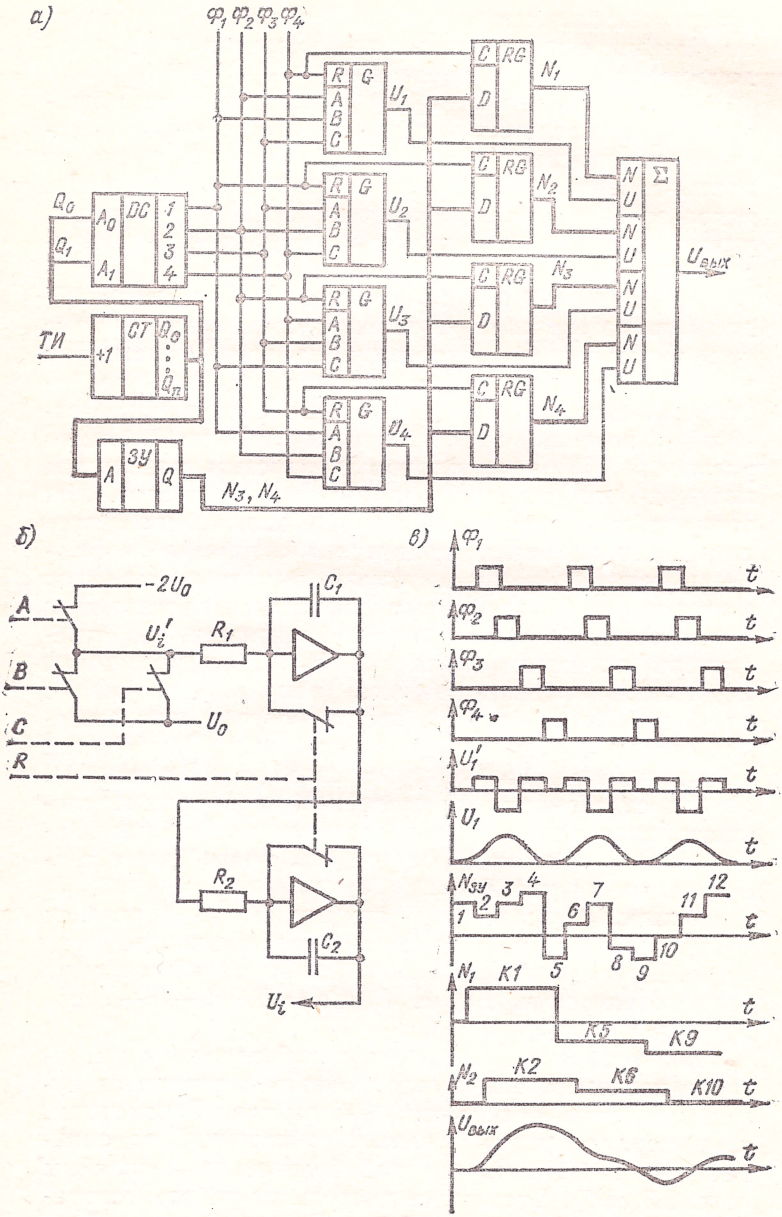


Рис. 5.3. Воспроизведение функции времени с использованием генераторов базисных сплайнов

Базисный сплайн второй степени для равномерного шага интерполяции описывается уравнениями

$$B_{i2}=\begin{cases} A^2/2 & \text{при } t\in[i\Delta t,\ (i+1)\Delta t];\\ A-A^2+1/2 & \text{при } t\in[(i+1)\Delta t,\ (i+2)\Delta t];\\ (A-3)^2/2 & \text{при } t\in[(i+2)\Delta t,\ (i+3)\Delta t];\\ 0 & \text{в остальных случаях;}\end{cases}$$

здесь $A=(t-t_0)/\Delta t-i$.

Импульсы, период которых равен шагу интерполяции, поступают на счетчик. Код на счетчике i задает адрес, по которому из *ЗУ* считывается коэффициент k_i разложения функции для i-го B-сплайна, фиксируемый затем в одном из регистров на время генерации B_{i2}. На выходе дешифратора DC формируются периодические последовательности смещенных по фазе управляющих импульсов Φ_1—Φ_4, которые управляют ключами генераторов базисных сплайнов B_{i2}, построенных по схеме на рис. 5.3, *б*. Таким образом, на первый генератор в первом и третьем такте каждого периода подается напряжение U_0, а во втором — $2U_0$. На выходе первого генератора при $R_1=R_2$ и $C_1=C_2$ формируется последовательность ненулевых участков базисных сплайнов B_1, B_5, ..., B_{4i+1}, ..., а так как эти участки не пересекаются, это эквивалентно генерации суммы соответствующих сплайнов. Аналогично напряжение U_2 представляет собой последовательность ненулевых участков, т. е. сумму сплайнов B_2, B_4, ..., B_{4i+2}, ...

Напряжение на выходе цифроаналогового умножителя-сумматора

$$U_{\text{вых}}(t)=\sum_{l=1}^{4}U_l(t)\,N_l(t)=$$

$$=\sum_{l=1}^{4}\sum_{j=1}^{m/4}B_{4j+l}(t)\,N_l(j)=\sum_{i=1}^{n}B_{i2}(t)\,k_i,$$

где l — номер генератора базисных сплайнов; j — номер такта работы генератора; $m=T_3/\Delta t$, где T_3 — временной интервал задания генерируемой функции.

Таким образом реализуется произвольная линейная комбинация базисных сплайнов, с помощью которой аппроксимируются функции времени.

С функциональной точки зрения, четвертый, или в общем случае $(n+2)$-й, генератор B-сплайна не требуется. Например, сплайн B_4 можно генерировать в первом канале сразу после окончания генерации ненулевого участка сплайна B_1. Наличие временного интервала, в течение которого напряжения на интеграторах должны быть равны нулю, упрощает коррекцию накапливаемой ошибки интегрирования: достаточно в этом интервале замкнуть ключи, шунтирующие коденсаторы обратной связи интеграторов. При этом возникает скачок выходного напряжения, но он не превышает сотых долей процента выходного сигнала, так как равен накопленной ошибке интегрирования. То,

что смена кода на ЦАП происходит при нулевом сигнале на его аналоговом входе, исключает погрешности из-за задержки в цифровых схемах. Устройства на основе генераторов *B*-сплайнов особенно эффективны при одновременном воспроизведении нескольких функций времени. К одному такому генератору подключается несколько сумматоров с управляемыми коэффициентами передачи. Коды управления каждым из сумматоров синхронно считываются из индивидуальных для каждой функции запоминающих устройств.

5.3. Генераторы функций времени на основе моделирования дифференциальных уравнений

Вводя в цепочку интеграторов (рис. 5.2) обратные связи, например с выходов всех интеграторов на вход первого, можно получить систему, описываемую обыкновенным дифференциальным уравнением. Выходной сигнал представляет собой решение этого уравнения, т. е. является функцией времени.

Например, широко известно «консервативное звено», приведенное на рис. 5.4, которое при $R_1 = R_2$ описывается дифференциальным уравнением

$$\frac{d^2U_{\text{вых}}}{dt^2} + \frac{N_3 y_0}{c_1}\frac{dU_{\text{вых}}}{dt} + \frac{N_2 y_0^2 N_1}{c_1 c_2} = 0. \qquad (5.2)$$

Здесь в зависимости от сочетания коэффициентов передачи звеньев, которые управляются кодами $N_1 - N_3$, и НУ, цепи установки которых на рисунке не показаны, на выходе формируются сигналы в виде гармонических, гипергеометрических, показательных или степенных функций времени.

Особый интерес представляет использование схемы (рис. 5.4) для генерации гармонических сигналов. Если бы элементы были идеальными, то достаточно исключить *ЦАП3*, что равносильно $N_3 = 0$. Однако из-за дополнительных фазовых сдвигов, вносимых параметрами элементов контура, колебания в схеме могут иметь, затухающий или расходящийся характер, что не позволяет применять схему для генерации сигнала в течение длительного времени. Для устранения этих паразитных эффектов вводится цепь нелинейной положительной обратной связи, изображенной на рис. 5.4 штриховой линией. В схемах, специализированных на генерации гармонических сигналов, *ЦАП3* заменяется на постоянный резистор.

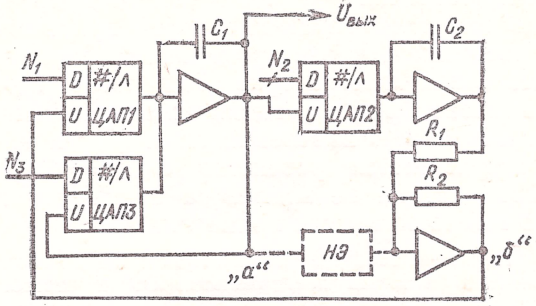


Рис. 5.4. Генератор гармонических колебаний с нелинейной обратной связью

Напряжения на выходе интеграторов практически являются моногармоническими сигналами. Поэтому гипотезу фильтра [10] можно считать выполненной и записать уравнение для гармонически линеаризованной системы:

$$U_{вых}\left(\frac{p^2C_1C_2R_0^2N_{max}^2}{N_1N_2}+\left[\frac{R_0}{R'}-q(A)\right]\frac{pC_2N_{max}}{N_2}+1\right)=0,$$

где R_0 — собственное сопротивление ЦАП; R' — эквивалентное сопротивление *ЦАП3*; $q(A)$ — гармонический коэффициент передачи сумматора по входу «*а*»; A — амплитуда первой гармоники сигнала $U_{вых}$.

Устойчивым колебаниям соответствует амплитуда с нулевым затуханием основной гармоники, для которой коэффициент передачи нелинейного элемента (*НЭ*)

$$q(A)=R_0/R'. \qquad (5.3)$$

Условия возникновения колебаний — $\partial q(A)/\partial A < 0$ и $\max|q(A)| > R_0/R'$ — обеспечиваются нелинейными элементами (*НЭ*) с характеристикой типа «ограничение» и крутизной на линейном участке, большей R_0/R'. В качестве *НЭ* часто используют один из ОУ, работающий в режиме ограничения [10].

Частота колебаний, как следует из формул (5.2) и (5.3), не зависит от амплитуды. Если фазовые сдвиги, обусловленные неидеальностью ОУ, несущественны, то частота колебаний

$$f=\frac{\omega}{2\pi}=\frac{1}{2\pi}\sqrt{\frac{N_1N_2}{C_1C_2R_0^2N_{max}^2}}.$$

Для перестройки частоты возможно изменение кода лишь на одном из ЦАП, второй при этом заменяется постоянным резистором. Однако изменение параметров обоих интеграторов обеспечивает более широкий диапазон регулирования частоты. Кроме того, при согласованном изменении N_1 и N_2 (т. е. таком, что поддерживается равенство $C_1/N_1 = C_2/N_2$) перестройка частоты не влияет на амплитуду колебаний, что важно во многих применениях.

Для повышения точности установки периода колебаний, т. е. для исключения влияния неидеальности ОУ и нестабильности соотношения емкостей и сопротивлений, целесообразно применение замкнутых систем подбора кодов N_1 и N_2 по результатам измерений периода колебаний. Цифровое измерение периода с высокой точностью при помощи кварцевых генераторов импульсов не представляет сложности. Сравнение задаваемого и измеренного периода колебаний используется для уточнения кода управления ЦАП. Точность установки периода при использовании ЦАП с «непрерывной шкалой» ограничивается разрешающей способностью измерителя временного интервала.

Недостаток генераторов с линейным элементом в цепи обратной связи — относительно невысокая стабильность амплитуды (1—2 % при коэффициенте гармоник 0,1—0,5 %). При этом уменьшение нелинейных искажений ведет к ухудшению стабильности амплитуды. Затруднена перестройка амплитуды колебаний. Более высокими метрологическими показателями обладают генераторы с «параметрическим управлением», у которых в качестве нелинейного элемента в цепи стабилизации амплитуды используется линейный элемент с управляемым коэффициентом передачи, а для подбора коэффициента вводится дополнительный контур регулирования по отклонению амплитуды колебаний от заданной. В качестве управляемых элементов используются полевые транзисторы, терморезисторы и другие элементы [10]; перспективны также умножающие ЦАП.

В общем случае цепочка из n интеграторов, охваченная линейными обратными связями, описывается линейным дифференциальным уравнением n-го порядка. Класс генерируемых функций ограничен функциями, имеющими рациональное изображение по Лапласу,— линейными комбинациями степенных, показательных, гармонических функций и их произведений. Для функций, не принадлежащих к этому классу, применяется аппроксимация. Хотя общая теория подобных аппроксимаций, по-видимому, не разработана, многочисленные частные решения (аппроксимация суммой экспонент, суммой гармоник, суммой степенных функций с дробными показателями) показывают, что их методическая погрешность снижается по сравнению с погрешностью полиномиальных аппроксима-

ций при равном числе интегрирующих блоков, т. е. при одинаковом порядке дифференциального уравнения и полинома.

Возможна как сквозная, так и кусочная аппроксимация. Кусочная аппроксимация решениями дифференциальных уравнений увеличивает ввиду лучших аппроксимационных свойств допустимую длину участка аппроксимации по сравнению с полиномиальной при равных требованиях по точности, что приводит к уменьшению требуемой емкости памяти коэффициентов. Такой подход реализован, например, в кусочно-экспоненциальных генераторах функций [35]. При кусочной аппроксимации можно вводить ограничение на непрерывность $n-1$ старших производных. Однако методика синтеза «дифференциальных» сплайнов в настоящее время не разработана.

Глава шестая

ФИЛЬТРЫ АНАЛОГОВЫХ СИГНАЛОВ

6.1. Управляемые аналоговые фильтры

В данной главе фильтрация рассматривается только как частотная селекция сигналов, но ряд технических решений пригоден для гармонического и спектрального анализа, сглаживания, дифференцирования со сглаживанием и других задач. Важнейший этап синтеза фильтра — выбор его передаточной функции исходя из требуемых свойств — подробно изложен в работах [34, 39] и здесь не рассматривается. Вид передаточной функции

$$H(p)=\frac{\sum_{i=0}^{m} b_i p^i}{\sum_{j=0}^{n} a_j p^j} \qquad (6.1)$$

предполагается заданным.

Главное внимание уделяется построению многофункциональных структур, обеспечивающих пере-

стройку параметров a_i и b_i в широких пределах (а значит, возможность программного или адаптивного изменения полосы пропускания и других характеристик фильтра) и легко преобразуемых в схемы для решения других задач обработки информации под управлением микро-ЭВМ.

Как и другие задачи обработки аналоговой информации, фильтрация может выполняться без преобразования формы представления сигнала (аналоговые фильтры, в том числе цифроуправляемые) и с преобразованием (цифровые и гибридные фильтры).

Прежде всего рассмотрим аналоговые фильтры, преимущество которых — гладкость выходного сигнала и широкий диапазон частот. Даже при использовании цифровой фильтрации для ослабления эффекта квантования целесообразно на вход и выход цифровой части фильтра включать аналоговые фильтры низких частот. Обычно такие фильтры воспроизводят члены разложения передаточной функции (6.1) в виде произведения простых дробей, имеющие полюсы наименьшей частоты; очевидно, что эти члены из цифровой реализации исключаются.

Ранее отмечалось, что в современной микроэлектронике отсутствуют компактные реализации высокоточных управляемых пассивных двухполюсников с двумя незаземленными выходами. Поэтому при построении цифроуправляемых фильтров не удается эффективно использовать схемы на пассивных *RC*- и *RLC*-цепях, активные фильтры с однопетлевой обратной связью и другие схемы, содержащие такие двухполюсники и хорошо зарекомендовавшие себя в фильтрах с постоянными параметрами.

Моделирование передаточных функций на основе интегрирующих усилителей и умножающих ЦАП в качестве управляемых элементов — наиболее приемлемый путь решения поставленной задачи.

Для описания и синтеза фильтров удобен метод переменных состояния. Уравнения состояния линейной системы с одним входом и одним выходом имеют вид

$$\begin{cases} \dot{V}(t) = AV(t) + Bx(t); \\ z(t) = CV(t) + dx(t), \end{cases} \tag{6.2}$$

где $V = \{v_i\}$ — вектор состояния; x и z — входная и выходная переменные; $A = \{\alpha_{ij}\}$ — матрица системы; $B = \{\beta_i\}$ — вектор управления; $C = \{c_i\}$ — вектор коэффициентов выхода; d — коэффициент прямой передачи; $i, j = 1, 2, \ldots, n$.

Система (6.2) содержит n скалярных дифференциальных уравнений и одно алгебраическое. Синтез схемы фильтра производится непосредственно по этой системе. Каждое из ее дифференциальных уравнений интерпретируется интегросумматором, выходное напряжение которого моделирует переменную состояния v_i. Один из входов i-го интегросумматора (при $\beta_i \neq 0$) соединен с входом переменной x, причем по этому входу интегросумматора устанавливается коэффициент β_i. Остальные входы интегросумматора подключаются к выходам других интегросумматоров, причем по каждому входу устанавливается коэффициент α_{ij}, где j — номер подключаемого интегросумматора. Выходной сигнал снимается с сумматора, реализующего взвешенное суммирование входной переменной и переменных состояния в соответствии с алгебраическим уравнением системы (6.2).

Авторам неизвестна универсальная формальная процедура перехода от операторной записи передаточной функции фильтра к уравнениям состояния, обеспечивающая оптимизацию реализации по произвольным критериям качества. Сравнительно просто решается задача синтеза по критерию минимума управляемых элементов, требуемых для перестройки передаточной функции. Для реализации произвольной передаточной функции вида (6.1) достаточно в векторах и матрице системы (6.2) иметь $m + n + 1$ ненулевых элементов. Можно выбрать вариант из ряда известных, так называемых канонических реализаций.

Пусть, например,

$$A = \begin{vmatrix} 0 & k_{\text{и}} & 0 & 0 & \ldots & 0 \\ 0 & 0 & k_{\text{и}} & 0 & \ldots & 0 \\ 0 & 0 & 0 & k_{\text{и}} & \ldots & 0 \\ \ldots & \ldots & \ldots & \ldots & \ldots & \ldots \\ 0 & 0 & 0 & 0 & \ldots & k_{\text{и}} \\ a_1 & a_2 & a_3 & a_4 & \ldots & a_n \end{vmatrix};$$

$$B=\begin{vmatrix}0\\0\\0\\\dots\\0\\b_n\end{vmatrix};\quad C=[c_1,\ c_2,\ \dots,\ c_n],\qquad (6.3)$$

где $k_и$ — коэффициент передачи интеграторов.

Соответствующая схема топологически совпадает со схемой дробно-рационального ФП на рис. 4.6, *б*; лишь ЦАП в цепочке умножителей на аргумент заменяются аналоговыми интегрирующими усилителями. Тогда

$$v_j(p)=\frac{k_и^j p^j}{\sum\limits_{i=0}^{n} k_и^i a_i p^i}\,x(p)$$

и соответственно

$$z(p)=\frac{\sum\limits_{j=0}^{m} k_и^j c_j p^j}{\sum\limits_{i=0}^{n} k_и^i a_i p^i}\,x(p).\qquad (6.4)$$

Сопоставляя уравнения (6.4) и (6.2), определяют требуемые значения компонентов матрицы A и векторов, коды управления сумматорами для воспроизведения конкретной передаточной функции. Схемы на основе представления (6.3) удобны для одновременной реализации семейства фильтров, имеющих равные знаменатели передаточной функции. Включение дополнительных сумматоров величин v_i позволяет одновременно реализовать фильтры высших и низших частот, полосно-пропускающие и полосно-заграждающие фильтры.

Обычно применяемые аналоговые интеграторы имеют отрицательные коэффициенты передачи. Так как по условиям устойчивости в фильтрах всегда $a_i > 0$, то знаки коэффициентов передачи сумматоров должны чередоваться, что достигается включением общего инвертирующего сумматора для всех инвертируемых v_i. В качестве примера управляемого фильтра, построенного на основе уравнений (6.3), на рис. 6.1 приведена схема фильтра второго порядка.

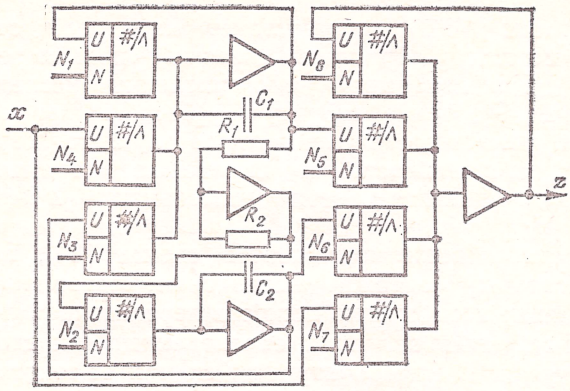


Рис. 6.1. Аналоговый фильтр второго порядка

В схеме использованы умножающие ЦАП с токовым выходом: $I_i = U_{вх\,i} y_0 N_i$.

Из других канонических реализаций отметим варианты, построенные на основе прямого интегрирования дифференциального уравнения фильтра и на основе замены переменной в этом уравнении. Первый путь приводит к системе уравнений вида (6.2), в которой нижняя строка матрицы A нулевая, элементы крайнего правого столбца матрицы и вектора B — ненулевые, а вектор C содержит лишь один ненулевой элемент. В соответствующей схеме каждый интегратор имеет три входа, соединенных с входом предыдущего интегратора, входом и выходом фильтра [37].

При использовании метода замены переменных векторы B и C формируются так же, как в методе прямого интегрирования, а в матрице ненулевыми являются только наддиагональные члены и нижняя строка.

Особый интерес представляют реализации, у которых в каждой строке матрицы A два ненулевых элемента (элемент $a_{n-1,\,n-2}$ опущен):

$$A = \begin{vmatrix} 0 & a_{12} & 0 & 0 & \dots & 0 & a_{1n} \\ a_{21} & 0 & a_{23} & 0 & \dots & 0 & 0 \\ 0 & a_{32} & 0 & a_{34} & \dots & 0 & 0 \\ \dots & \dots & \dots & \dots & \dots & \dots & \dots \\ 0 & 0 & 0 & 0 & \dots & 0 & a_{n-1,\,n} \\ a_{n1} & 0 & 0 & 0 & \dots & a_{n,\,n-1} & 0 \end{vmatrix}. \quad (6.5)$$

Матрица (6.5) соответствует каскадной структуре с местными обратными связями («цепная реализация»). Как показывают многочисленные исследования [34, 39], такие структуры обеспечивают повышенную устойчивость схемы фильтра, а также низкую чувствительность к изменению параметров, равную чувствительности пассивных LC-фильтров.

Характеристики компонентов схемы (ОУ, ЦАП, конденсаторы) содержат паразитные составляющие, приводящие к смещению полюсов передаточной функции относительно значений, определенных для идеального случая. В многоконтурных схемах высокого порядка при высокой добротности полюсов наличие паразитных составляющих приводит к искажениям частотной характеристики и даже к самовозбуждению схемы. Поэтому при реализации фильтров с добротностью полюсов передаточной функции свыше 10 на монолитных ОУ и ЦАП общего применения следует ограничиваться звеньями второго-третьего порядка [34]. Передаточные функции высших порядков воспроизводятся, как правило, за счет разложения исходной формы (6.1) на сумму или, чаще, произведение рациональных дробей первого или второго порядка и реализуются схемами с параллельным или каскадным соединением соответствующих звеньев. Хотя известны схемы универсальных звеньев второго порядка (биквадов) на трех ОУ [49], наибольший интерес представляет звено второго порядка с бóльшим числом ОУ (рис. 6.1), но меньшим числом конденсаторов и резисторов и легче перестраиваемое.

Фильтр построен на основе уравнений (6.2), представленных в форме (6.3), и содержит два интегросумматора и один сумматор, коэффициенты передачи которых управляются кодами $N_1 - N_8$. В этой схеме при $R_1 = R_2$

$$V = |v_1,\ v_2|;\quad A = \begin{vmatrix} 0 & \frac{N_2 y_0}{C_2} \\ \frac{N_4 y_0}{C_1} & \frac{N_1 y_0}{C_1} \end{vmatrix};\quad B = \begin{vmatrix} 0 \\ -\frac{N_4 y_0}{C_1} \end{vmatrix};$$

$$C = \left|\frac{N_6}{N_8},\ \frac{N_5}{N_8}\right|;\qquad d = \frac{N_7}{N_8}.$$

Таким образом, передаточная функция устройства на рис. 6.1 имеет вид

$$H(p) = -\frac{p^2 + p\omega_0/Q_0 + \omega_0^2}{p^2 + p\omega_п/Q_п + \omega_п^2}\frac{N_7}{N_8},$$

где $\omega_п = \sqrt{\frac{N_1 N_3 y_0^2}{C_1 C_2}}$; $\omega_0 = \omega_п\sqrt{1 - \frac{N_4 N_6}{N_3 N_7}}$ — резонансные частоты полюса и нуля соответственно; $Q_п = \sqrt{\frac{c_1}{c_2}\frac{N_2 N_3}{N_1^2}}$; $Q_0 = Q_п\Big/\sqrt{1 - \frac{N_4 N_6}{N_3 N_7}}$ — добротности полюса и нуля.

Для реализации любой передаточной фукции достаточно шести управляемых элементов. Обычно $N_8 = \text{const}$, $N_1 = N_3 = N_\omega$, тогда $\omega_п = N_\omega\sqrt{\frac{y_0}{c_1 c_2}}$; $Q_п = \sqrt{\frac{C_1 N_2}{C_2 N_1}}$, причем для достижения высокой добротности емкости конденсаторов должны существенно различаться.

Схема на рис. 6.1 по сравнению с аналогичными обладает пониженной (близкой к «экстремально низкой» [34]) чувствительностью к вариациям параметров компонентов. Конечность коэффициента усиления ОУ не вносит существенных погрешностей, если коэффициент усиления $k_у > 100Q$ [34]. Оценка влияния полосы пропускания ОУ на добротность и резонансную частоту полюса приводится в работе [49]. При аппроксимации частотной характеристики ОУ рациональной дробью первого порядка с эквивалентной постоянной времени $T_у \ll 1/\omega_п$ добротность полюса

$$Q_п = \frac{Q_{п.\,ид}}{1 + 2Q_{п.\,ид}(1 - 2\omega_п T_у)/k_у},$$

где $\omega_п$ и $Q_{п.\,ид}$ — резонансная частота и добротность полюса при $\omega_у \to \infty$ и $k_у \to \infty$.

При рассмотрении влияния инерционности ЦАП ограничимся влиянием входного ЦАП второго интегратора схемы (управляется кодом N_2), считая прочие элементы идеальными. Аппроксимируем частотную характеристику ЦАП по аналоговому входу рациональной дробью первого порядка: $y_2(j\omega) = \frac{y_{20}}{1 + j\omega T_{ЦАП}}$. Тогда характеристическое уравнение замкнутого контура в схеме на рис. 6.1 имеет вид

$$p^3\tau_1\tau_2 T_{ЦАП} + p^2(\tau_1 + T_{ЦАП})\tau_2 + p\tau_2 + y_3/y_1 = 0, \qquad (6.6)$$

где $\tau_1 = c_1/y_1$; $\tau_1 = c_2/y_2$; $y_i = N_i/y_0$.

В решении уравнения появляется дополнительный корень по сравнению с решением уравнения для идеализированной системы ($T_{ЦАП} = 0$).

При $T_{\text{ЦАП}} \ll \tau_1$, $T_{\text{ЦАП}} \ll \tau_2$ корень p_3 действительный и отрицательный, а соответствующий полюс $p_3 \approx -1/T_{\text{ЦАП}}$ несущественно искажает амплитудно-частотную характеристику в окрестностях резонансной частоты и не нарушает устойчивости системы. Другой, более существенный результат влияния инерционности ЦАП — смещение на комплексной плоскости корней уравнения (6.6) p_1 и p_2 относительно корней уравнения идеализированной системы p_1' и p_2'. Для оценки смещения сформируем два тождества: подставим в уравнение (6.6) сначала $p = p_1$, а затем $p = p_1'$ и вычтем полученные тождества друг из друга. В наиболее критичных случаях — при высокой добротности — разностью линейных членов полученных тождеств можно пренебречь, а разность членов высших порядков дает оценку смещения полюса из-за инерционности ЦАП:

$$p_1 - p_1' = \frac{p_1'\tau_1 + 1}{(p_1 + p_1')\tau_1} p_1^2 T_{\text{ЦАП}} \approx \frac{p_1'(p_1'\tau_1 + 1)}{2\tau_1} T_{\text{ЦАП}}. \qquad (6.7)$$

Подставим в соотношение (6.7) выражение для корня идеализированного характеристического уравнения $\left(-\frac{1}{2} \pm j\sqrt{y_3\tau_1/(y_1\tau_2)}\right)\frac{1}{\tau_1}$ и выделим действительную часть p_1:

$$\operatorname{Re}(p_1) = -\frac{1}{2\tau_1}\left(1 - \frac{T_{\text{ЦАП}}}{2\tau_1}\right) + \frac{T_{\text{ЦАП}}}{2\tau_1\tau_2}\frac{y_3}{y_1}.$$

Из условия устойчивости $\operatorname{Re}(p) < 0$ предельное достижимое значение добротности составляет $Q \leqslant \frac{1}{\omega_{\text{п}} T_{\text{ЦАП}}}$.

Влияние инерционности других ЦАП, входящих в контур обратной связи, аналогично. Некоторое повышение запаса устойчивости и расширение диапазона достижимых значений Q дает включение конденсатора параллельно входному резистору инвертора.

Проблема повышения точности фильтра традиционно сводится к задаче уменьшения чувствительности его передаточной функции к вариациям параметров. Ранее отмечалась низкая чувствительность схемы на рис. 6.1; известны реализации, обладающие еще меньшей чувствительностью [39]. Однако такие фильтры, полезны лишь в специализированных устройствах, так как в перестраиваемых системах низкая чувствительность препятствует расширению диапазона перестройки. Повышение точности и стабильности характеристик связано с введением избыточности. Наиболее перспективны следующие способы введения избыточности:

1. Использование фильтров с передаточной функцией избыточного порядка. Для наилучшего при-

ближения частотной характеристики, обеспечивающего минимум оборудования, используется чебышевская аппроксимация минимальной возможной степени, которой соответствуют передаточные функции, содержащие нули и полюсы с высокой добротностью. Но именно высокодобротные звенья отличаются наименьшей стабильностью. В то же время использование передаточных функций высших порядков обеспечивает заданную точность при меньшей добротности нулей и полюсов, что приводит к увеличению стабильности и запаса устойчивости. Задача поиска оптимального по стабильности АЧХ сочетания параметров фильтра $l_1, l_2, \ldots, l_n$ сводится к минимизации нормы

$$R = \int_{l_1-\Delta l_1}^{l_1+\Delta l_1} \int_{l_2-\Delta l_2}^{l_2+\Delta l_2} \cdots \int_{l_n-\Delta l_n}^{l_n+\Delta l_n} \int_{\omega_{\min}}^{\omega_{\max}} [A(\omega) - |H(j\omega, l_1, l_2, \ldots, l_n)|]^2 \, d\omega \, dl_n \ldots dl_2 \, dl_1,$$

где $\omega_{\min} - \omega_{\max}$ — область задания АЧХ; $A(\omega)$ — заданная АЧХ; $H(j\omega, l)$ — частотная характеристика проектируемого фильтра; Δl_i — допуск на изменение параметра.

Эта задача решается методами нелинейного программирования. Имеются примеры, подтверждающие, что включение в фильтр одного или двух дополнительных звеньев второго порядка уменьшает в десять и более раз отклонения АЧХ от заданной, вызванные изменением параметров.

2. Введение структурной избыточности фильтра. Это эквивалентно введению дополнительных ненулевых членов в матрицу A уравнения состояния фильтра. Порядок и результирующая форма передаточной функции при этом не изменяются, но каждый коэффициент в уравнении (6.4) определяется взвешенной суммой элементов матрицы A. Для воспроизведения заданной передаточной функции существует большое число вариантов, различающихся по чувствительности, причем среди них имеются существенно менее чувствительные, чем канонические.

Примером такого подхода являются так называемые волновые реализации. В схеме волнового полосового фильтра четвертого порядка [21] с удвоенным по сравнению с канонической реализацией чис-

лом управляемых элементов втрое уменьшена разрядность управляющих кодов при сохранении диапазона перестройки и точности воспроизведения АЧХ, сокращено число ключей и коммутируемых резисторов. Последнее может быть эффективно использовано лишь при разработке специализированных ИС перестраиваемых фильтров. При реализации на серийных ЦАП объем оборудования увеличивается ввиду отсутствия малоразрядных сборок ЦАП в одном корпусе.

3. Периодический контроль и автоматическая коррекция входящих в схему ЦАП. Наряду с индивидуальной коррекцией компонентов звена фильтра целесообразен контроль звена как единого целого. Наиболее важный параметр звена второго порядка — резонансная частота. Во время контроля, отключая входной сигнал и включая цепь нелинейной положительной обратной связи (аналогично схемам генераторов, приведенным в § 5.3), можно добиться самовозбуждения схемы на частоте резонанса. Частота колебаний может быть измерена и изменена путем модификации кодов, подаваемых на ЦАП.

Управляемые аналоговые фильтры обеспечивают достаточную для большинства практических задач точность и стабильность частотных характеристик в полосе частот от единиц до десятков тысяч герц при диапазоне перестройки по частоте (с использованием постоянных конденсаторов) 1 : 1000, а по добротности — от десятых долей до 40. Основной недостаток перестраиваемых аналоговых фильтров высокого порядка — большие затраты оборудования и потребляемой мощности.

6.2. Цифровые фильтры

Цифровая фильтрация сводится к обработке последовательности обычно равноотстоящих числовых отсчетов входного сигнала в соответствии с дискретизированной передаточной функцией фильтра.

К преимуществам цифровых фильтров обычно относят стабильность характеристик, простоту перестройки, широкий частотный диапазон. Следует отметить, что описанные в предыдущем параграфе аналоговые фильтры обладают не худшими свойствами. Преимущества цифровых фильтров проявляются

прежде всего в улучшении стоимостных и массогабаритных показателей, что обеспечивается серийным выпуском БИС, эффективно реализующих алгоритм цифровой фильтрации, и в простоте исполнения фрагментов алгоритма в центральном процессоре или сопроцессоре вычислительной системы при наличии соответствующих ресурсов.

Как правило, цифровые фильтры синтезируются так, чтобы выходная последовательность аппроксимировала отклик аналогового фильтра-прототипа в соответствующие дискретные моменты времени или обладала спектральными характеристиками, близкими к характеристикам отклика фильтра-прототипа. Для этого передаточная функция аналогового фильтра-прототипа преобразуется с использованием одного из видов дискретного преобразования, чаще всего стандартного, билинейного или согласованного z-преобразования [39]. Каждый из этих видов предпочтителен при определенных требованиях к фильтру, но при частоте дискретизации, существенно превосходящей частоту среза фильтра, все преобразования дают одинаковые результаты. Форма дискретизированной передаточной функции сходна для различных видов z-преобразования.

Например, билинейное z-преобразование осуществляется заменой в передаточной функции фильтра-прототипа параметра p:

$$p \Rightarrow \frac{2}{T} \frac{1 - z^{-1}}{1 + z^{-1}},$$

где T — период квантования.

Билинейное z-преобразование искажает масштаб по оси частот и требует предварительного искажения передаточной функции $H(p)$ [60]. Преобразование применимо к дробно-рациональной форме передаточной функции

$$H(p) \Rightarrow H(z^{-1}) = \frac{\sum_{i=0}^{m} B_i z^{-i}}{1 + \sum_{i=1}^{n} A_i z^{-i}} \qquad (6.8)$$

и к разложению функции на сумму или произведение простых дробей.

Разложение приводит соответственно к последовательной —

$$H(z^{-1}) = \prod_{i=1}^{n} \frac{B_{i0} + B_{i1}z^{-1} + B_{i2}z^{-2}}{1 + A_{i1}z^{-1} + A_{i2}z^{-2}} \qquad (6.9)$$

или параллельной —

$$H(z^{-1}) = 1 + z^{-1} + \sum_{i=1}^{n} \frac{B_{i0} + B_{i1}z^{-1}}{1 + A_{i1}z^{-1} + A_{i2}z^{-2}} \qquad (6.10)$$

форме билинейного z-преобразования.

Соотношение между изображениями входного и выходного сигнала в z-области, соответствующее форме (6.8), имеет вид

$$Y(z^{-1})\left(1 + \sum_{i=1}^{n} A_i z^{-i}\right) = \sum_{i=0}^{n} B_i z^{-i} X(z^{-1}). \qquad (6.11)$$

Обратное z-преобразование изображения (6.11) дает общее рекурсивное соотношение для цифрового фильтра

$$y(mT) = \sum_{i=0}^{n} B_i x[(m-i)T] - \sum_{i=1}^{n} A_i y[(m-i)T], \qquad (6.12)$$

где m — номер отсчета.

Уравнения фильтра представляются также в форме дискретных уравнений состояния:

$$\begin{cases} V[(m+1)T] = AV(mT) + Bx(mT); \\ y(mT) = CV(mT) + dx(mT), \end{cases}$$

где $V(mT)$ — вектор дискретных отсчетов переменных состояния; $x(mT)$ и $y(mT)$ — отсчеты входного и выходного сигналов, A, B, C и d имеют тот же смысл и форму, что в уравнениях (6.2) и (6.3).

В зависимости от распределения в векторах и матрицах уравнения ненулевых коэффициентов получаются (аналогично непрерывным фильтрам) канонические, цепные или волновые реализации.

Преобразование (6.10) осуществляется суммированием результатов, которые получаются в звеньях первого и второго порядка или в подпрограммах, моделирующих эти звенья. Представление в форме (6.9) реализуется каскадным соединением звеньев или по-

следовательным выполнением соответствующих блоков программ.

Главное требование к цифровым фильтрам в системах управления — работа в реальном масштабе времени, т. е. вычисление $y(mT)$ за время между соседними отсчетами входного сигнала, меньшее половины периода колебаний максимальной частоты спектра входного сигнала. Выборки и кодирование входного сигнала, а также фиксация результата на регистре выходного ЦАП при аналоговом входе и выходе выполняются в равноотстоящие моменты времени. Предполагается, что преобразование формы представления информации и фильтрация реализуются последовательно соединенными блоками, синхронизируемыми друг другом или общим тактовым генератором. Среди классов устройств первичной цифровой обработки сигналов (ЦОС), включая цифровую фильтрацию, выделяются основные, представленные в табл. 6.1. Приведенные границы применимости приблизительны, во многом зависят от степени сложности алгоритма обработки, смещаясь с развитием микроэлектроники, причем все больший удельный вес приобретают однокристальные процессоры сигналов, используемые как автономно, так и в составе ПМС — в качестве программируемых специализированных контроллеров УВВ. Можно ожидать появления и специализированных сопроцессоров ЦОС для мультимикропроцессорных систем.

С ростом допустимой частоты дискретизации аппаратные затраты увеличиваются, а возможности оперативной перестройки на разные задачи уменьшаются. На последнем остановимся подробнее. В системах на микропроцессорных комплектах и однокристальных микро-ЭВМ общего назначения возможно подключение и прямая адресация ОЗУ с большой емкостью памяти, в том числе и предназначенных для хранения программ. Смена рабочих программ возможна за счет ввода с внешнего носителя. Создание таких программ автоматизируется посредством их компиляции с языков высокого уровня, ориентированных на задачи ЦОС. Универсальность МПС этого класса позволяет выполнять компиляцию в их же рамках.

В современных однокристальных процессорах сигналов подключение внешних ОЗУ затруднено. Пере-

Таблица 6.1. Средства

Класс устройств	Рекомендуемый частотный диапазон	Область применения
Микропроцессорные комплекты общего назначения	0—1 кГц	Системы управления, энергетика
Однокристальные микроЭВМ общего назначения	0—1 кГц	То же
Специализированные однокристальные (сигнальные) процессоры	1—100 кГц	Синтез и анализ звуковых сигналов
Специализированные микропроцессорные комплекты	100 кГц—1 МГц	Радиосистемы
Специализированные СБИС с аппаратной реализацией задач обработки	Свыше 1 МГц	"

стройка сводится к принудительному переводу процессора на выполнение одной из нескольких программ, хранящихся в его ПЗУ. Перевод выполняется с использованием механизма прерываний (в микросхеме μPD 7720 фирмы «НЭК», Япония) или команд ведущего процессора (в микросхеме S2811 фирмы «Нейшнл Семикондактор», США).

В устройствах четвертого из приведенных в таблице классов перепрограммирование требует замены содержимого микропрограммного ПЗУ, а в системах с аппаратной реализацией необходима коммутация блоков.

Самая распространенная и требующая наибольших суммарных затрат времени или оборудования операция в задачах ЦОС — взвешенное суммирование выборок сигнала, поэтому во всех специализированных средствах ЦОС применяются структурные и схемные решения, обеспечивающие эффективную реализацию этих операций.

Рассмотрим типичные примеры устройств. Аппаратная реализация цифрового фильтра обеспечивает максимальный параллелизм вычислений. Схема топологически совпадает с соответствующими аналоговыми, а также схемами дробно-рациональных ФП (см. рис. 5.2, 6.1), но блоки коэффициентов заменяются цифровыми матричными умножителями, ЦАП и

Способ задания алгоритма	Способ перестройки	Возможность оперативной перестройки
Программный	Смена программы в ППЗУ или ОЗУ	Неограниченная
"	Смена микропрограммы во внутреннем ППЗУ	Ограниченная
"	То же	"
Микропрограммный	Смена микропрограммы в ПЗУ	Весьма ограниченная
Структурный	Коммутация блоков	Отсутствует

интеграторы аналоговых фильтров — параллельными многовходовыми комбинационными сумматорами и элементами однотактной задержки на параллельных регистрах с динамическим управлением.

Например, преобразуя таким образом схему на рис. 6.1, получим ее цифровой аналог, приведенный на рис. 6.2 (цифровой биквад). Аппаратно реализованные цифровые фильтры — это автономные специализированные блоки, поэтому возможности оперативной перестройки структуры здесь отсутствуют. Связь с ЭВМ ограничивается программной загрузкой регистров задания коэффициентов и передачей в ЭВМ

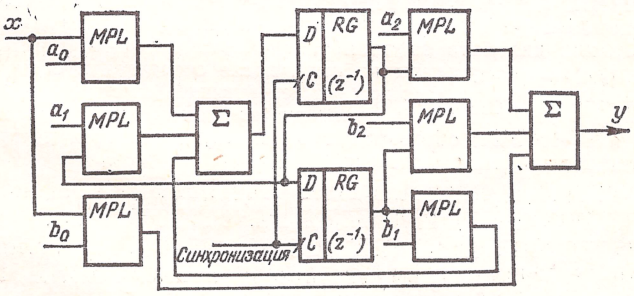


Рис. 6.2. Структура цифрового фильтра второго порядка

результатов обработки с прореживанием отсчетов при использовании прямого доступа к памяти.

Пример семейства БИС, ориентированного на аппаратную реализацию ЦОС, — БИС TDC 1008 — TDC 1010 (фирма «TRW», США, технология ТТЛШ) с разрядностью сомножителей для различных схем от 8 до 16 и временем выполнения операции умножение — суммирование от 10 до 100 нс. Из отечественных БИС пригодны быстродействующие умножители К1800ВР2, 1813ВЖ1 (технология ЭСЛ), К1802ВР4, К1802ВР5 (ТТЛШ).

С ростом степени интеграции сложные подсхемы, реализующие типовые фрагменты систем ЦОС, разрешаются в одном кристалле. Так, микросхема ISP фирмы «Хитачи» (Япония) содержит цепочку из четырех регистров (сдвигает выборки сигнала), четыре умножителя (умножают хранящиеся в регистрах отсчеты на программируемые коэффициенты) и многовходовой накопитель. Схема пригодна для решения сложных специализированных задач обработки видеосигналов в реальном масштабе времени, но весьма трудно поддается перестройке.

Для систем ЦОС на основе специализированных комплектов микропроцессорных БИС, например процессора фирмы «Харрис» (США) на БИС семейства AMD 29500, процессора МАА 1000 фирмы «Интерметалл» (ФРГ и Великобритания) и др. [26], характерна микропрограммная реализация управления: коды операций поступают на перестраиваемые операционные блоки от ПЗУ микрокоманд. Широко применяется конвейерная обработка информации с передачей данных между однотипными операционными блоками, реализующими звенья фильтра, под единым управлением.

Из отечественных наиболее полным представляется комплект К1815, подробно описанный в серии статей, опубликованных в журнале «Микропроцессорные системы» № 2, 3 за 1986 г. В состав комплекта входит широкая номенклатура БИС, реализованных средствами микромощных биполярных (ТТЛШ и И²Л) технологий. Используется представление и обработка данных в последовательной или последовательно-параллельной форме — по одному или два бита за один такт работы каждого функционального узла. Результаты побитно, после определения соответствующей цифры, поступают на следующий функциональный узел, чем достигается высокая производительность. Тактовая частота 5—10 МГц обеспечивает обработку с частотой дискретизации несколько сот килогерц.

Блок микропрограммного управления выполняет синхронизацию функциональных узлов, задает операции для узлов, генерирует с разверткой во времени разрядные цифры коэффициентов или, в общем случае ЦОС, цифры текущих значений весовых функций для выполнения операций свертки. Предусматривает-

ся также управление передачей потоков данных через соответствующие коммутаторы и тем самым создание вычислительных комплексов с «программируемой архитектурой».

В последнее время большое внимание уделяется разработке и использованию программируемых однокристальных процессоров обработки сигналов. Первым таким прибором был процессор INTEL 2920, а в СССР освоен выпуск аналогичной по параметрам, но обладающей несколько расширенными функциональными возможностями микросхемы К1813ВЕ1. Особенность указанных приборов — встроенные восьмиразрядные ЦАП, аналоговые мультиплексоры, устройства выборки и хранения сигнала и компаратор аналоговых сигналов, позволяющие осуществить ввод четырех и вывод восьми аналоговых или логических сигналов. Аналого-цифровое преобразование выполняется на базе встроенного ЦАП программной реализацией подбора уравновешивающего кода, обычно с применением поразрядного алгоритма. Аппаратное умножение не предусмотрено. Умножение отсчета сигнала на постоянный коэффициент реализуется суммированием сдвинутых кодов отсчета, причем сдвиг на произвольное число разрядов и сложение выполняется за одну команду. Не останавливаясь на методах и механизмах ускорения умножения, подробно изложенных, например, в работе [45], отметим, что умножение отсчета сигнала на постоянный коэффициент сводится в среднем к выполнению четырех — шести команд. Командный цикл составляет 400 нс, максимальная достижимая частота дискретизации для реализации одного фильтра второго порядка 160 кГц, максимальная длина программы 192 команды, что позволяет разместить программы, реализующие 18—20 звеньев второго порядка при соответствующем уменьшении частоты дискретизации.

Микросхемы К1813ВЕ1 и INTEL 2920 спроектированы как автономные устройства с жестким циклом работы, поэтому в них не предусмотрены средства оперативного вмешательства и отсутствуют эффективные средства передачи данных в ЭВМ высшего уровня системы управления. Сильно ограничены по сравнению с микропроцессорами общего назначения логические возможности. Главная область применения подобных устройств — автономные блоки обра-

ботки аналоговой информации по фиксированному алгоритму с возможностью каскадирования путем объединения аналоговых входов и выходов.

Сложность достижения высокой точности АЦП при совмещении в одном кристалле ПФИ и цифрового процессора заставили в последующих разработках отказаться от встроенного ПФИ, а больше внимания уделить цифровому интерфейсу, возможностям логической обработки и сокращению времени на реализацию типовых для ЦОС операций. Известно свыше двадцати наименований однокристальных процессоров сигналов. Наиболее ходовые из них — S2811, μPD 7720, TMS 320 [26] весьма сходны по архитектуре, функциональной организации, интерфейсу. Остановимся подробнее на сигнальном микропроцессоре μPD 7720, структурная схема которого представлена на рис. 6.3. Отличительная особенность его и других сигнальных процессоров от микропроцессоров и микро-ЭВМ общего назначения — пространственное разделение и индивидуальная адресация с помощью соответствующих регистров — регистра адреса *РгА*, счетчика адреса *СЧАК*, *ПЗУ* программ, *ПЗУ* коэффициентов, а также *ОЗУ*. Это позволяет выполнять параллельную выборку из указанных блоков и в одном командном цикле реализовать выборку сле-

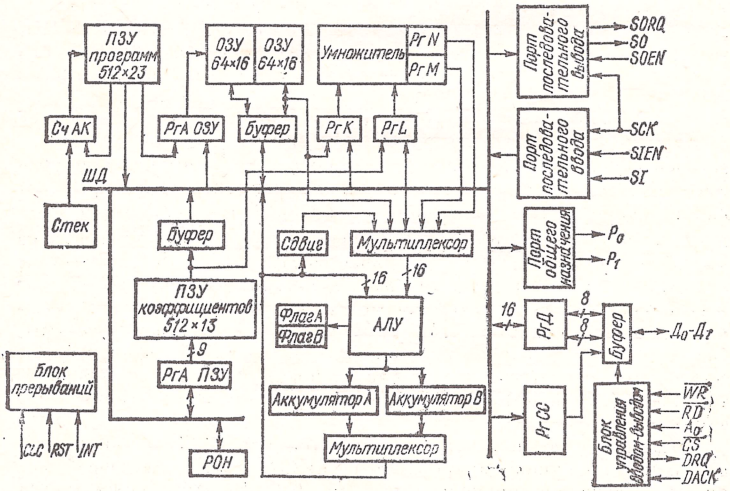


Рис. 6.3. Однокристальный процессор сигналов μPD 7720

дующей команды и сложные преобразования, например:

$$Z = Z + XY,$$

где Z — содержание аккумулятора, номер которого задается в коде команды; X — слово, считываемое из ячейки *ОЗУ*; Y — слово, считываемое из *ПЗУ* или ячейки *ОЗУ*, адрес которой отличается от адреса слова X цифрой старшего разряда.

Командный цикл составляет 250 нс. Умножитель выполнен аппаратно и перемножает с учетом знака два 16-разрядных операнда (в том числе один разряд знака) с получением 31 разряда результата (в том числе один знаковый). Блок *АЛУ* может выполнить 8 операций над содержимым одного из двух аккумуляторов *A* и *B* (инкремент, декремент, дополнение, сдвиг на 1, 2, 4 и 8 разрядов) и 7 двухместных операций (поразрядные логические, сложение, вычитание). При этом один операнд хранится в аккумуляторе, а вторым может быть содержимое любого регистра, передаваемое на шину данных *ШД*, содержимое адресуемой ячейки памяти, регистра младших (*РгМ*) или старших (*РгN*) разрядов произведения, регистра общего назначения *РОН*.

Микропроцессор μPD 7720 может быть отнесен к ведомым программируемым периферийным БИС ввода — вывода. При обмене с оборудованием, ведомым этим микропроцессором, используются каналы последовательного ввода — вывода. (В качестве ведомого оборудования обычно выступают АЦП и ЦАП.) Типовая процедура последовательного ввода (через контакт *SI*) и вывода (через контакт *SO*) синхронизируется общим для АЦП, ЦАП и обменных буферов генератором (вход *SCK*). Инициализация и завершение посылок осуществляется с квитированием обмена (линия *SIEN* для ввода, линии *SOEN* и *SORQ* для ввода). Для информирования микропроцессора о заполненности внутренних обменных буферов используются флаги готовности, анализируемые соответствующими командами переходов.

Со стороны ведущей (для μPD 7720) системы обеспечена возможность стандартных операций прямого ввода — вывода через двунаправленный порт. Порт программно доступен обрабатывающей части для чтения и записи. Обмен информацией по линиям данных D_0—D_7 выполняется с использованием регистра данных *РгД* под управлением сигналов $\overline{RD}$, $\overline{WR}$, $\overline{CS}$ («Разрешение выборки») и адреса, формируемых ведущей системой в командах ввода — вывода. Обмен данными сопровождается соответствующей установкой регистра слова состояния *РгСС* и анализом его содержимого со стороны как ведущей системы, так и μPD 7720. Шестнадцатиразрядные данные и код регистра состояния передаются через буфер порта параллельно-последовательно (побайтно) за два цикла при постоянном адресе на входе A_0.

Через тот же порт микропроцессор μPD 7720 обменивается данными с ведущей микро-ЭВМ в циклах ПДП; типичный вариант включения приведен на рис. 6.4. В этом режиме все управление обменом выполняется контроллером ПДП (*CDMA*)

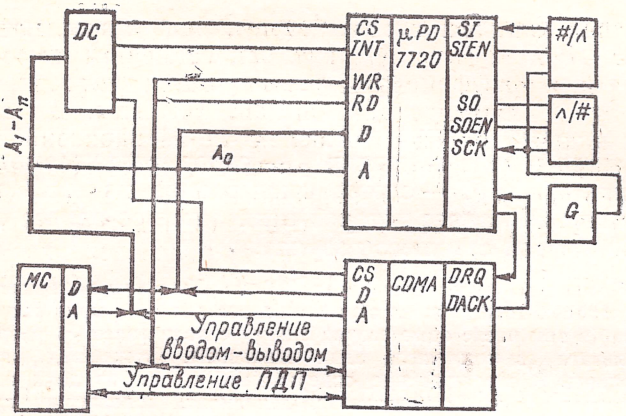


Рис. 6.4. Вариант включения микропроцессора μPD 7720 в МПС

и инициируется программной активизацией выхода *DRQ*. Контроллер ПДП инициирует в сторону ведущей микро-ЭВМ сигналы управления ПДП и вводом — выводом и сопровождает их выдачей сигнала *DACK*. Для микросхемы μPD 7720 подача сигнала *DACK* эквивалентна подаче сигнала *CS*, равного нулю, и адресной выборке порта регистра данных.

Прерывания программ микропроцессора μPD 7720 ведущей системой — одноуровневые, инициируются по входу *INT* и вызывают передачу управления на фиксированную точку программной памяти (100H). Этот же вход может использоваться ведомым оборудованием. Вызов различных программ реализуется методом программного полинга. Текущий адрес прерванной программы, так же как и адрес команд обращения к подпрограммам, сохраняется в четырехуровневом стеке.

Микросхема μPD 7720 не поддерживает аппаратно систему прерываний в направлении ведущего микропроцессора. Запросы обычно реализуются путем соответствующей загрузки *РгСС* и периодического опроса *РСС* ведущим микропроцессором. За счет использования выходов порта общего назначения (P_0, P_1) и дополнительных, внешних по отношению к μPD 7720 и центральному процессору аппаратных схем поддержки прерываний можно обеспечить прерывания в сторону ведущего микропроцессора.

Программная память позволяет разместить программы, реализующие до 55 звеньев второго порядка. Время на вычисление реакции одного такого звена в каждом цикле примерно 2 мкс, и оно определяет максимальную возможную частоту дискретизации для фильтра любого порядка.

Из более поздних по сравнению с микросхемами μPD 7720 разработок однокристальных процессоров сигналов широкое распространение получает микросхема TMS 320. Длительность командного цикла в ней уменьшена до 125 нс, но производительность на

задачах фильтрации не больше, чем у микросхемы μPD 7720, из-за отсутствия одновременной выборки данных и коэффициентов и выполнения операции умножение — суммирование за две команды. В решении задач с большим объемом не специализированных на ЦОС операций микросхема TMS 320 значительно превосходит по производительности микросхемы μPD 7720 и S2811. В однокристальных процессорах сигналов TMS 320 и ряде более поздних разработок (μB 8764 фирмы «Хитачи», DSP 56000 фирмы «Моторола» и TMS 32010 [26]) при сохранении основных отмеченных концепций архитектуры (разделение памяти программ, данных, коэффициентов, многошинная организация, последовательный интерфейс с ведомым аналого-цифровым оборудованием) наблюдается тенденция к расширению интерфейсных возможностей: ориентация на непосредственное подключение к ним внешних запоминающих устройств команд и данных. Эти средства не только расширяют функциональные возможности, но и упрощают отладку систем ЦОС.

6.3. Цифроаналоговые фильтры

Рассматривая смешанные реализации фильтров, нет смысла подробно останавливаться на полезных во многих применениях каскадных структурах, в которых оконечные звенья выполнены аналоговым, а внутренние — цифровым способом, с включением между ними соответствующих ПФИ. Реализации низкочастотных полюсов аналоговыми схемами на входе и выходе цифрового фильтра часто являются необходимым условием эффективной частотной селекции.

Любую операцию, входящую в алгоритм цифровой, а точнее дискретной, фильтрации, можно реализовать цифроаналоговым способом. Интересной представляется структура, подобная приведенной на рис. 6.2, в которой задержанные аналоговые выборки сигналов умножаются на коды, соответствующие константам рекурсивного соотношения (6.12), с формированием произведений и сумм в аналоговой форме. Однако электромагнитные, магнитострикционные, акустические линии задержки не допускают изменения частоты квантования и вносят большие погрешности, оцениваемые единицами процентов. Аналого-

вые регистры сдвига, т. е. цепочки аналоговых ЗУ, громоздки. Привлекают внимание элементы задержки на приборах с зарядовой связью (ПЗС) [42]. Высокая точность фильтров на ПЗС достижима при условии периодического контроля и коррекции погрешностей, связанных с потерями заряда при передаче информации. В целом же дискретные фильтры на основе задержки аналоговых сигналов пока не нашли широкого применения.

Задержка отсчетов сигнала и промежуточных данных в цифровой форме и умножение на соответствующие константы цифроаналоговым способом потребует при цифровом хранении констант по два ЦАП на каждый коэффициент, т. е. громоздкой схемы.

Гибридные реализации умножения и сложения при построении фильтров полезны в тех случаях, когда в универсальной системе обработки сигнала при решении конкретной задачи имеются неиспользованные аппаратные ресурсы.

Гибридная реализация вычитания результата цифровой обработки сигнала из входной переменной часто дает существенный эффект. При этом до преобразования сигнала в цифровую форму из него аналоговым способом вычитают аналоговый эквивалент цифрового сигнала обратной связи. Такой подход (рис. 6.5) снижает требования к разрешающей способности *АЦП* и повышает точность фильтрующих ПФИ.

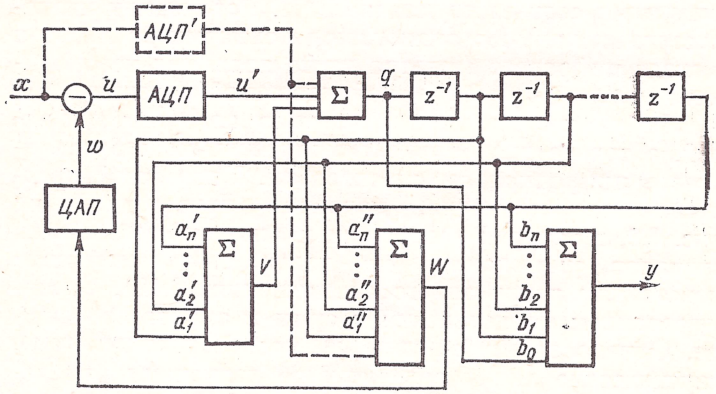


Рис. 6.5. Цифроаналоговый фильтр

Абстрагируясь от различия формы представления информации на входах и выходах *АЦП* и *ЦАП*, нетрудно видеть эквивалентность устройства на рис. 6.5 рекурсивному цифровому фильтру:

$$W(z) = \sum_{i=0}^{n} a_i'' z^{-i} q(z); \qquad V(z) = \sum_{i=1}^{n} a_i' z^{-i} q(z);$$

$$q(z) = x(z) - W(z) + V(z) = x(z)\left(1 + \sum_{i=1}^{n} a_i z^{-i}\right)^{-1},$$

где z — оператор задержки; $a_i = a_i'' - a_i'$.

Тогда

$$y(z) = \sum_{i=0}^{n} b_i z^{-i} q(z) = \frac{\sum_{i=0}^{n} b_i z^{-i}}{1 + \sum_{i=1}^{n} a_i z^{-i}} x(z),$$

что совпадает с общепринятой записью дискретной передаточной функции фильтра.

В отличие от устройств, в которых обратная связь осуществляется только по цифровому каналу, здесь АЦ-преобразованию подвергается не входной сигнал, а напряжение

$$u(z) = x(z) - W(z) = \frac{1 - \sum_{i=1}^{n} a_i' z^{-i}}{1 + \sum_{i=1}^{n} a_i z^{-i}} x(z). \quad (6.13)$$

При выборе оптимальных значений a_i' и a_i'' и сохранении заданных значений a_i существенно уменьшается максимальное значение $u(t)$ по сравнению с $x(t)$, а значит, и требования к разрешающей способности АЦП. Широко известен вариант, в котором для вычисления и аналогового, и цифрового сигнала обратной связи используется один сумматор, т. е. $a_i = 0$; $a_i' = a_i''$; $V(t) = W(t)$. Такой вариант обеспечивает кодирование мгновенных значений входного сигнала без фильтрации и применяется в системах передачи данных с дифференциальной импульсно-кодовой модуляцией (ИКМ) для уплотнения канала передачи [24]. При дифференциальной ИКМ в канал

передается не данный отсчет сигнала, а кодированная разность u' между предсказанным по совокупности ранее переданных отсчетов и действительным значениями сигнала. Значение $x(t)$ восстанавливается в приемнике с помощью дискретного фильтра с передаточной функцией

$$H_{\text{восст}}(z) = \left(1 + \sum_{i=1}^{n} a_i' z^{-i}\right)^{-1}.$$

Очевидно, что $y_{\text{восст}}(z) = u'(z) H_{\text{восст}}(z) = x(z)$. Обратное z-преобразование (6.13) для $a_i' = a_i''$ дает

$$u(mT) = x(mT) - \sum_{i=1}^{n} a_i x[(m-i)T].$$

Предположим, что $x(t)$ является полиномом степени не выше n от времени в интервале $[(m-n)T, mT]$. По отсчетам $x(t)$ в точках $t_1 = (m-i)T$ $(i = 1, 2, \ldots, n)$ строится интерполяционный полином, который экстраполируется на точку $t = mT$:

$$W(mT) = x[(m-1)T] + \sum_{i=1}^{n} \nabla^i [(m-1)T], \quad (6.14)$$

где $\nabla^i[(m-1)T]$ — i-я обратная разность последовательности отсчетов x в точке $t = (m-1)T$.

Если принятая гипотеза справедлива, то $W(mT) = x(mT)$ и $u(mT) = 0$, а соотношение (6.14) позволяет определить значения a_i' при заданном n [24]. На ЦАП формируется предварительная оценка (предсказание) значения $x(t)$ на момент очередного кодирования. Реальный сигнал априорно неизвестен, а следовательно, значение $u(mT)$ отлично от нуля, т. е. имеется ошибка предсказания. АЦП кодирует лишь ошибку предсказания, у него малый по сравнению с диапазоном $x(t)$ диапазон преобразуемых сигналов. Шкала АЦП уменьшается, а при той же разрядности уменьшается ошибка квантования. При использовании АЦП, диапазон входных сигналов которого больше диапазона $x(t)$, на его вход включается усилитель, а для восстановления масштаба выходной код делится на соответствующую константу, которую выбирают равной степени двойки, и деление реализуют сдвигом. Влияние погрешностей АЦП (нелинейности и ошибки квантования) уменьшается.

При $a'_i \neq a''_i$ преобразование совмещается с фильтрацией. Кроме расширения функциональных возможностей такой подход обеспечивает предсказание со сглаживанием, что полезно при высокочастотных помехах на входе. В работе [24] рассмотрен метод синтеза предсказателей с дискретной передаточной функцией вида (6.13), минимизирующих переменную $u(mT)$. Метод пригоден для оптимизации фильтров вида, приведенного на рис. 6.5. При этом использован более общий по сравнению с полиномиальной интерполяцией подход, учитывающий статистические характеристики сигнала.

Ошибка предсказания уменьшается с уменьшением периода квантования, и часто повышение частоты обеспечивает удовлетворительное (т. е. с ошибкой в пределах шкалы АЦП при достаточно малом значении его кванта) предсказание даже при отсутствии внутреннего контура обратной связи.

Уменьшение ошибки как за счет оптимизации предсказателя, так и за счет повышения частоты дискретизации позволяет использовать АЦП с двумя — четырьмя и даже одним уровнем квантования при обеспечении высокой разрешающей способности. С увеличением разрядности АЦП частота квантования может быть снижена при той же точности, но не более чем до границ, определяемых теоремой Котельникова.

В параллельно-последовательных и других двухотсчетных ПФИ одним из существенных источников погрешности является изменение входного сигнала за время между моментами фиксации кода в последовательных ступенях кодирования. Для устранения этого эффекта применяется АЗУ входного сигнала или обеспечивается перекрывание шкал ступеней (см. § 3.5). Использование предсказания изменения входного сигнала позволяет значительно уменьшить требуемое перекрытие шкал и увеличить разрешающую способность. Вычисление предсказываемого на момент фиксации кода во второй ступени значения входного сигнала целесообразно совместить с другой требуемой обработкой, например с фильтрацией. Рассмотрим схему на рис. 6.5 при включении изображенных штриховой линией *АЦП′* и его связей.

Если *АЦП* и *АЦП′* являются преобразователями параллельного типа, причем *АЦП′* кодирует сигнал

$x(t)$ раньше, чем *АЦП*, на время Δt переходного процесса в *ЦАП*, то выполняется параллельно-последовательный алгоритм с предсказанием изменения сигнала $x(t)$. Простейший вариант предсказания ($a_i' = a_i''$) рассмотрен в работе [33]. Пренебрегая погрешностями ЦАП, получим

$$u(mT) = x(mT) - x^* - \sum_{i=0}^{n} a_i'' q[(m-i)T],$$

где $x^* = x(mT + \Delta t) + \Delta$, а Δ — погрешность *АЦП* (включая ошибку квантования).

Так как

$$q(mT) = u(mT) - x^* + \sum_{i=0}^{n} a_i' q[(m-i)T],$$

то функциональная характеристика схемы на рис. 6.5 при включении дополнительного АЦП не изменяется, но существенно увеличивается допустимая частота входного сигнала.

В отличие от схемы с одним АЦП выбор оптимального набора коэффициентов a_i' выполняется так, чтобы переменная $V(mT)$ предсказывала не значение x на момент mT, а приращение сигнала за время Δt. Такое предсказание может быть выполнено с более высокой точностью. Допустимая частота спектра входного сигнала в схеме предсказания с двумя АЦП возрастает в десятки раз по сравнению с традиционной параллельно-последовательной схемой и схемой с одним АЦП при том же значении кванта младшего разряда. Этим подтверждается целесообразность гибридной реализации фильтров.

Глава седьмая

СТРУКТУРНЫЙ СИНТЕЗ СИСТЕМ ОБРАБОТКИ АНАЛОГОВОЙ ИНФОРМАЦИИ

В системах со смешанным представлением информации возможно различное распределение фрагментов реализуемых алгоритмов между компонентами системы — аналоговым блоком, специализиро-

ванным цифровым устройством, программируемым сопроцессором и центральным процессором. Обобщенные структуры таких систем приведены, в частности, на рис. 1.2, 2.1, а варианты решения конкретных задач обработки составляют содержание гл. 3—6. Необходимо подчеркнуть, что реализация частных задач возможна при использовании однотипных элементов в рамках сходных структур, обеспечивающих выполнение типовых фрагментов различных алгоритмов, в дальнейшем называемых базовыми фрагментами алгоритмов (БФА).

Отсюда вытекает целесообразность создания многофункциональных программируемых устройств с применением для решения каждой подзадачи как общих, так и индивидуальных средств при оптимизации распределения фрагментов алгоритмов между этими средствами. Оптимизация набора блоков, связей, способов обмена и распределения алгоритмов составляет этап структурного проектирования и во многом определяет качество системы. Многообразие вариантов решения и трудности оценки показателей качества требуют использования машинных методов генерации и проверки допустимости вариантов. Общие подходы к структурному синтезу систем рассматриваются в работах [2, 29], системный подход к выбору и структурному синтезу ПФИ — в работах [19, 38], однако при этом недостаточно полно учитываются особенности работы преобразователей в составе многопроцессорной системы, возможности сочетания программных и аппаратных средств обработки.

Для формализации задачи структурного синтеза может быть использован один из следующих подходов [29]: выбор варианта из архива типовых структур; усечение обобщенной универсальной структуры; выбор варианта из числа автоматически генерируемых на основе библиотечных модулей различного уровня сложности.

Библиотеки создаются по иерархическому принципу: на основе библиотеки простейших модулей (элементов) генерируется, после соответствующей отбраковки, библиотека конкурентоспособных модулей следующего уровня сложности (фрагментов) и т. д.

Первые два подхода малопригодны для структурного синтеза гибридных вычислителей ввиду многообразия методов и средств их построения.

Автоматическая генерация может осуществляться способами последовательного синтеза [29], случайного поиска [2], целочисленного программирования. Каждый из них рационален для определенного уровня сложности проектируемых объектов. Так, в разработанном на кафедре вычислительной техники ЛЭТИ имени В. И. Ульянова (Ленина) комплексе программ структурного синтеза подсистемы обработки аналоговой информации для микропроцессорных систем на отдельных этапах используются различные способы генерации.

В условиях, когда используются типовые компоненты и стандартные интерфейсы, при ориентации на реализацию обработки непрерывной информации однотипными схемными конфигурациями (см. гл. 3—6) выбор исполнителей фрагментов алгоритма почти полностью определяет структуру и схемный вариант устройства. Решение задачи распределения алгоритма и выбора исполнителей, являющееся ядром структурного синтеза, реализовано в описываемом программном комплексе, состав которого и взаимодействие модулей упрощенно представлены на рис. 7.1.

Формирование библиотеки фрагментов. Предполагается, что проектируемая система содержит несколько параллельно работающих каналов обработки аналоговой информации, каждый из которых характеризуется типом решаемых задач, точностью, интенсивностью работы и занимает определенную часть

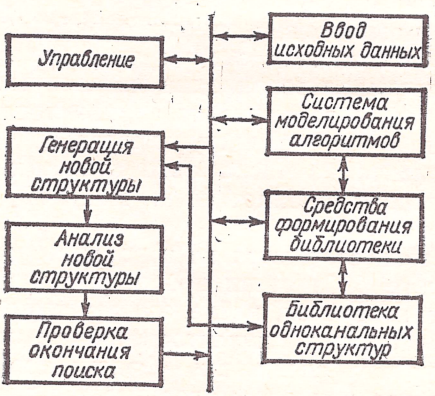


Рис. 7.1. Программный комплекс для структурного синтеза систем обработки аналоговой информации

ресурсов центральной микро-ЭВМ. Каждый канал выбирается из числа заранее сгенерированных, отбракованных и сохраняемых в библиотеке конкурентоспособных вариантов (фрагментов многоканальной системы). В качестве библиотечных фрагментов используются варианты устройств линейного ЦА- и АЦ-преобразования с автоматической коррекцией, которые пригодны для реализации этапов других задач обработки информации.

Рассмотрим формирование библиотеки одноканальных структур ввода — вывода с автокоррекцией. Такая библиотека может быть полезна и при проектировании простейших систем ввода — вывода. Задача выбора оптимальной структуры одноканальной системы формулируется следующим образом: необходимо распределить алгоритм автокоррекции на функции, реализуемые программно (в ЦП или периферийном программируемом процессоре) и аппаратно при выполнении ограничений $t_{пр} < t_{доп}$, $\Delta < \Delta_{доп}$ ($t_{пр}$ — время преобразования; $t_{доп}$ и $\Delta_{доп}$ — допустимое время и погрешность преобразования), обеспечив минимизацию заданного показателя качества C. В зависимости от постановки задачи в качестве такого показателя может выступать стоимость, надежность, энергопотребление, массогабаритные и другие аддитивные показатели, а также их линейные комбинации [29].

В том случае, если зафиксированы точность системы и базовый узел преобразования формы представления информации (ЦАП или АЦП), библиотека фрагментов формируется следующим образом: используя систему моделирования (рис. 7.1), по заданной погрешности определяют параметры алгоритма автокоррекции — число разрядов, у которых корректируется собственный вес, число разрядов, у которых корректируется взаимное влияние, число и веса́ избыточных разрядов. В результате оценивается время реализации фрагментов алгоритма, причем особо выделяется время на программную обработку в выбранной ЭВМ, а также показатель качества — затраты на аппаратную реализацию соответствующей функции.

Затем перебираются варианты реализации всех БФА. При этом возможно использовать представление множества реализаций как бинарного дерева решений [2] (одна ветвь — аппаратная реализация очередного БФА, другая — программная) и обход его вершин. Для каждой достигнутой вершины определяются показатели быстродействия и качества — $t_{пр}$ и C. Из множества вершин, характеризующихся эквивалентным быстродействием, в библиотеке фиксируется одна — с наилучшим показателем качества C. Разбивка реализаций на эквивалентные по быстродействию классы зависит от постановки задачи. Целесообразно

разделение по времени преобразования, причем границы эквивалентных классов на оси t следует формировать по логарифмическому закону в интервале $[t_{\text{пр min}},\ t_{\text{пр max}}]$ максимального и минимального времени пребразования на данном типе базового преобразователя. Достаточно выбрать 10—15 классов.

Для уменьшения объема перебора оцениваются показатели качества просмотренных БФА на каждом шаге обхода, и, если сочетание показателей оказалось хуже, чем в ранее достигнутых конечных вершинах, просмотр данной ветви прекращается.

Аналогично выполняется построение конкурентоспособных структур для других $\Delta_{\text{доп}}$. Библиотека конкурентоспособных структур на основе одного базового преобразователя иллюстрируется рис. 7.2. Каждой заштрихованной клетке соответствует библиотечный фрагмент (вариант реализации), характеризующийся определенной погрешностью алгоритма и наилучшим среди всех вариантов с $t_{\text{пр}} \in [t_i, t_{i+1}]$ показателем качества. Крайней левой клетке каждой строки соответствует аппаратная реализация контроля, коррекции и преобразования, крайней правой — программная.

Если в проектируемой системе допустимы различные базовые преобразователи, то для каждого может быть построена подобная библиотека, объединением которых формируется полная библиотека, причем в пересекающихся областях $\{t, \Delta\}$ сохраняется вариант с наилучшим показателем качества. Составление полной библиотеки для одного типа базового преобразователя занимает три — пять часов машинного времени мини-ЭВМ СМ-4.

Генерация новой структуры. Многомерность и дискретность пространства поиска оптимальных струк-

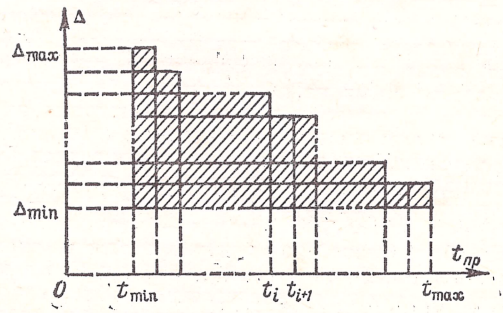


Рис. 7.2. Формирование библиотеки конкурентоспособных фрагментов

тур обусловливает целесообразность методов случайного поиска при генерации структур, реализующих преобразование со смешанным представлением информации.

Любая многоканальная структура представляется точкой в пространстве структурных переменных, координатами которой являются число каналов n, точность Δ_i и время преобразования t_i в каждом канале, причем каждому из сочетаний Δ и t соответствует определенная внутренняя оптимальная структура, зафиксированная в библиотеке. Можно ввести дополнительную переменную, отражающую локализацию используемой памяти (периферийную или центральную), способ обмена и другие свойства системы обработки информации. Такой структурной переменной может быть порядковый номер варианта реализации.

Из числа известных алгоритмов случайного поиска эффективен при структурном синтезе алгоритм, описанный в работе [2]. Особенность его заключается в одновременном перемещении нескольких точек в пространстве поиска за счет формирования случайных приращений структурных переменных для каждой точки. При этом используются эвристически введенные правила оценки количества и выбора типов варьируемых на каждом шаге структурных переменных в зависимости от полученного на предыдущем шаге эффекта — улучшения или ухудшения показателя качества для данной точки. Кроме того, на каждом шаге случайным образом генерируется несколько дополнительных точек, в окрестностях которых также выполняется несколько шагов поиска. Если эти точки дают лучшие оценки показателя качества, то ими заменяются худшие точки из числа основных на следующем шаге. Поиск заканчивается, если на нескольких шагах наилучшая по всем точкам оценка показателя качества изменяется не более чем на заданную погрешность поиска.

Преимущество алгоритма — простота, низкая критичность к числу варьируемых структурных переменных, высокая вероятность нахождения глобального максимума в многоэкстремальных задачах. Имеющиеся примеры синтеза многоканальных систем ввода — вывода аналоговой информации [11] подтвердили эффективность этого алгоритма.

Анализ новой структуры. Новая структура считается допустимой, если выполняются ограничения на время решения каждой из набора задач при условии оптимального распределения задач и их частей между элементами новой структуры. Такое распределение само по себе является задачей оптимального синтеза, и на этом уровне рассмотрения наиболее эффективным оказался подход, основанный на последовательном синтезе с применением дискретного математиче-

ского программирования. При проектировании предполагается, что в вычислительных системах запросы на ввод — вывод и иное использование аналоговых блоков случайны, поэтому целесообразно ставить задачу анализа структур в терминах теории массового обслуживания [5, 23], а статистические характеристики потока запросов оценивать на основе анализа решаемых задач.

Представим математическую формулировку анализа новой структуры.

Пусть заданы матрицы $C = \|c_{ij}\|$, $T = \|t_{ij}\|$, $D = \|d_{ij}\|$, $i = 1, 2, \ldots, k$, $j = 0, 1, \ldots, n$ (c_{ij}, t_{ij} и d_{ij} при $j \neq 0$ — соответственно стоимость назначения, время преобразования и погрешность при назначении j-й задачи в i-й канал, а при $j = 0$ — затраты, не зависящие от назначения) и векторы $TO = \|to_j\|$, $D' = \|d'_j\|$, $H = \|h_j\|$, $P = \|p_j\|$, $j = 1, 2, \ldots, n$ (to_j, d'_j и h_j — допустимое время обслуживания, погрешность реализации и интенсивность запросов на ввод — вывод j-й задачи, а p_j — ее приоритет). Под стоимостью назначения понимается изменение показателя качества канала при назначении в него задачи, вызванное включением в его состав коммутаторов, буферных устройств, элементов аналоговой и цифровой памяти.

Введем матрицу $X = \|x_{ij}\|$, где $x_{ij} = 1$, если задача j назначена в i-й канал, и $x_{ij} = 0$, если не назначена.

Задача сводится к поиску сочетания x_{ij}, минимизирующего целевую функцию

$$f(x) = \sum_{j=1}^{n} \sum_{i=1}^{k} c_{ij} x_{ij} + \sum_{i=0}^{n} c_{i0}. \qquad (7.1)$$

При этом учитываются следующие ограничения:

1. Ограничения на допустимую погрешность преобразования: $d'_j \leqslant d_{ij}$.

2. Ограничения по условию привязки каждой задачи только к одному каналу: $\sum_{i=1}^{n} x_{ij} = 1$ для всех j. Задачи, которые не могут целиком решаться в рамках библиотечных фрагментов, например дробно-рациональная аппроксимация или аналоговая фильтрация высоких порядков, на этапе формирования разбиваются разработчиком на независимые подзадачи, каждая из которых будет назначена в один канал.

3. Ограничения, связанные с временем обслуживания. Процессор системы рассматривается как неотъемлемая часть любого канала обработки, и любая задача может реализоваться в любом канале за счет переноса ее части в центральный процессор, если выполняется первое ограничение. Но при этом увеличивается время ожидания обслуживания этой и других задач, что и должно учитываться как ограничение. Аналитические выражения для ограничений данного вида зависят от принятой дис-

циплины обслуживания и приведены в работе [5]. Например, для бесприоритетного обслуживания ограничение принимает вид

$$\sum_{j=1}^{n} \frac{h_j t_{ij}^{(2)} x_{ij}}{2(1-R_i)} \leqslant to_j,$$

где $R_i = \sum_{j=0}^{n} h_j t_{ij}$ — суммарная загрузка i-го канала; $t_{ij}^{(2)}$ — второй начальный момент времени обслуживания.

Задача минимизации целевой функции (7.1) при указанных ограничениях — целочисленная распределительная. В описываемой системе структурного синтеза успешно применен последовательный синтез, являющийся частным случаем метода ветвей и границ, назначением очередной задачи из списка (в порядке убывания сложности) в каналы, у которых к моменту назначения имеется достаточный для реализации этой задачи ресурс.

Генерация и отбраковка вариантов структур составляют поисковый алгоритм, оптимизирующий сочетание средств, которые используются при решении определенного для системы набора задач.

ЗАКЛЮЧЕНИЕ

Главный вывод этой работы в том, что применение для обработки аналоговой информации комбинаций различных средств — цифровых и аналоговых, аппаратных и программных — позволяет строить высокоэффективные микропроцессорные системы, предназначенные для управления и научных исследований. Благодаря успехам технологии в ближайшем будущем возможно реализовать в одном кристалле, в том числе в виде заказных и полузаказных БИС, коммутируемую аналоговую схему и цифровой процессор, обеспечивающий управление аналоговой частью и реализацию вычислительных алгоритмов. В этой связи укажем, что уже после написания основной части книги фирма «Кристалл», США, анонсировала начало производства полузаказных БИС, содержащих набор ЦАП и ОУ, систему аналого-

вой коммутации блоков и программируемое цифровое устройство. Это соответствует изложенным в настоящей работе принципам.

При реализации гибридных периферийных процессоров и системы в целом особое внимание должно уделяться выбору исполнителей фрагментов алгоритмов и выбору способов взаимной синхронизации элементов. Назначение не сводится к выбору «оптимальной» реализации отдельных подзадач, а должно выполняться на основе системного анализа комплекса задач данной МПС. Например, тот факт, что кусочно-линейные ФП требуют меньших затрат по сравнению с дробно-рациональными, вовсе не означает, что их надо применять во всех случаях. При декомпозиции задачи и распределении ее в системе часто оказывается, что для решения ряда подзадач необходимо несколько ЦАП, которые можно использовать и для функционального преобразования методом дробно-рациональной аппроксимации.

Остановимся коротко на некоторых нерешенных проблемах в области структурной организации и алгоритмов функционирования гибридных процессоров, оставляя в стороне технологические аспекты, несмотря на их важность.

Проблема уменьшения статических погрешностей гибридных блоков так или иначе связана с идентификацией параметров компонентов на основе применяемой модели. Предложенный в настоящей работе подход к идентификации параметров и коррекции погрешностей может быть перенесен и на более адекватные, как правило, более сложные, модели. Применение таких моделей является резервом повышения точности коррекции, а растущая мощность вычислителей позволит реализовать соответствующие алгоритмы идентификации в пределах временных интервалов, приемлемых для систем управления. Однако здесь важнейшим ограничением становятся собственные шумы схемы. По-видимому, в будущем при разработке аналоговых элементов надо обращать большее внимание не столько на точность настройки или даже на долговременную стабильность, сколько на шумоподавление.

В области улучшения динамических параметров прецизионных АЦП в настоящее время важнейшим ограничением является апертурная неопределенность отсчетов. При использовании традиционных методов восстановления отсчет получится неискаженным, если изменение сигнала за апертурное время не превысит кванта младшего разряда. Для шестнадцатиразрядного преобразования с характерным для современных АЗУ и параллельных АЦП апертурным временем 10 нс допустимая скорость изменения входного сигнала составит около $10^3 U_{вх\,max}$ в секунду, что соответствует максимальной допустимой частоте сигнала 200 Гц. Трудности снижения апертурного времени требуют поиска эффективных методов восстановления сигнала.

Работы в указанных направлениях продолжаются.

СПИСОК ЛИТЕРАТУРЫ

1. **Автоматное управление асинхронными процессами в ЭВМ и дискретных системах/Под ред. В. И. Варшавского.** М.: Наука, 1986.

2. **Алгоритмы** оптимизации проектных решений/Под ред. Л. И. Половинкина. М.: Энергия, 1976.

3. **Алексеев Г. И.** Воспроизведение функций средствами цифроаналоговой вычислительной техники. Минск: Наука и техника, 1976.

4. **Алиев Т. М., Сейдель Т. Р.** Автоматическая коррекция погрешностей цифровых измерительных приборов. М.: Энергия, 1975.

5. **Артамонов Т. Г.** Анализ производительности ЦВМ методами теории массового обслуживания. М.: Энергия, 1972.

6. **Артвик Б.** Сопряжение микро-ЭВМ с внешними устройствами/Под ред. П. В. Нестерова. М.: Машиностроение, 1983.

7. **Балашов Е. П., Пузанков Д. В.** Микропроцессоры и микропроцессорные системы/Под ред. В. Б. Смолова. М.: Радио и связь, 1981.

8. **Бахтиаров Г. Д., Малинин В. В., Школин В. П.** Аналого-цифровые преобразователи/Под ред. Г. Д. Бахтиарова. М.: Сов. радио, 1980.

9. **Бор К., де.** Практическое руководство по сплайнам: Пер. с англ. М.: Радио и связь, 1985.

10. **Вавилов А. А., Солодовников А. И., Шнайдер В. В.** Низкочастотные измерительные генераторы. Л.: Энергоатомиздат, 1985.

11. **Воротов А. А.** Структурный синтез каналов аналогового ввода — вывода с автоматической коррекцией нелинейности для управляющих микро-ЭВМ: Автореф. дис. на соиск. уч. степени канд. техн. наук. Л., 1986.

12. **Времяимпульсные** вычислительные устройства/В. Б. Смолов, Е. П. Угрюмов, А. Б. Артамонов и др.; Под ред. В. Б. Смолова и Е. П. Угрюмова. М.: Радио и связь, 1983.

13. **Высокоточный самокорректирующийся АЦП** на основе кодов с иррациональными основаниями/А. П. Стахов, А. Д. Азаров, В. И. Моисеев и др. Киев: 1982. (Препринт/ИК АН УССР: 82—24).

14. **Вьюхин В. Н., Касперович А. Н.** Вопросы проектирования аналого-цифровых преобразователей предельной разрядности//Автометрия, 1985. № 5. С. 3—12.

15. **Гайский В. А.** Построение точных систем из неточных преобразователей сигналов//Проблемы создания преобразовате-

лей формы информации. Тезисы докладов V Всесоюзного симпозиума. Киев: Наукова думка, 1984. Ч. 2. С. 17—18.

16. **Гельман М. М., Шаповал Г. Г.** Автоматическая коррекция систематических составляющих погрешности в преобразователях код — напряжение. М.: Энергия, 1974.

17. **Источники** ошибок взаимного влияния разрядов сеточных ЦАП и их идентификация/Р. И. Грушвицкий, Б. А. Манчев, А. Х. Мурсаев, В. Б. Смолов//Методы и микроэлектронные средства цифрового преобразования и обработки сигналов. Тезисы докладов конференции. Рига: Ин-т электроники и вычислительной техники АН Латв. ССР, 1968. Т. 1. С. 48—51.

18. **Карцев М. А.** Архитектура цифровых вычислительных машин. М.: Наука, 1978.

19. **Кондалев А. И.** Системные преобразователи формы информации. Киев: Наукова думка, 1974.

20. **Коффрон Дж.** Технические средства микропроцессорных систем. Практический курс: Пер. с англ. М.: Мир, 1983.

21. **Крошьер Р. Е., Оппенгейм Л. В.** Анализ линейных цифровых цепей: ТИИЭР. Т. 63. 1975. № 4. С. 45—61.

22. **Ломтев Е. А., Сафронов В. П., Шульман А. Л.** Сопряжение преобразователей формы информации с микропроцессорными средствами. Саратов: Изд-во Саратовского ун-та, 1986.

23. **Майоров С. А., Новиков Г. И.** Структура электронных вычислительных машин. Л.: Машиностроение, 1979.

24. **Маккол Дж.** Линейное предсказание: Обзор//ТИИЭР. Т. 63. 1975. № 4. С. 20—44.

25. **Манчев Б. А.** Исследование и разработка алгоритмов и систем автоматической коррекции нелинейности цифроаналоговых преобразователей информации с суммированием взвешенных эталонов: Автореф. дис. на соиск. уч. степени канд. техн. наук. Л., 1986.

26. **Марфенко К. С., Подлепецкий Б. И.** БИС специализированных процессоров для обработки сигналов//Зарубежная электронная техника. 1985. № 3. С. 3—42.

27. **Микроэлектронные цифроаналоговые и аналого-цифровые преобразователи информации**/В. Б. Смолов, Е. П. Угрюмов, В. К. Шмидт и др.; Под ред. В. Б. Смолова. Л.: Энергия, 1976.

28. **Науман Г., Майлинг В., Щербина А.** Стандартные интерфейсы для измерительной техники: Пер. с нем. М.: Мир, 1982.

29. **Норенков И. П.** Введение в автоматизированное проектирование технических устройств и систем. М.: Высшая школа, 1986.

30. **Параметры** и схемотехника высокопроизводительных АЦП и ЦАП/А. П. Стахов, А. Д. Азаров, В. И. Моисеев, В. П. Марценкив//Зарубежная радиоэлектроника. 1984. № 2. С. 79—91.

31. **Перестраиваемые цифровые структуры** на основе интегрирующих процессоров/А. Г. Алексеенко, В. В. Каляев, В. И. Лукиенко и др.; Под ред. А. В. Каляева. М.: Радио и связь, 1982.

32. **Попов В. П.** Точные аналого-цифровой и цифроаналоговый преобразователи//Автометрия. 1982. № 2. С. 60—67.

33. **Сафронов В. П.** Анализ и выбор структуры быстродействующего точного АЦП//Методы и микроэлектронные средства цифрового преобразования и обработки сигналов. Тезисы докладов конференции. Рига: Ин-т электроники и вычислительной техники АН ЛатвССР, 1986. Т. 1. С. 87—91.

34. **Синтез** активных *RC*-цепей: Современное состояние и проблемы/Под ред. А. А. Ланнэ. М.: Связь, 1975.

35. **Смеляков В. Б.** Цифровая измерительная аппаратура для инфранизких частот. М.: Энергия, 1975.

36. **Смолов В. Б.** Аналоговые вычислительные машины. М.: Высшая школа, 1972.

37. **Смолов В. Б., Фомичев В. С.** Аналого-цифровые и цифро-аналоговые нелинейные вычислительные устройства. Л.: Энергия, 1974.

38. **Собкин Б. Л.** Автоматизация проектирования аналого-цифровых приборов на микропроцессорах. М.: Машиностроение, 1986.

39. **Современная теория** фильтров и их применение/Под ред. С. К. Митры и У. Темеша: Пер. с англ. М.: Радио и связь, 1981.

40. **Транспьютер:** Базовый элемент//Электроника. 1985. № 21. С. 35.

41. **Федорков Б. Г., Телец В. А., Дегтяренко В. П.** Микроэлектронные цифроаналоговые и аналого-цифровые преобразователи. М.: Радио и связь, 1984.

42. **Ширяев А. М., Нулин Д. В.** Фильтры на основе приборов с зарядовой связью//Зарубежная радиоэлектроника. 1985. № 3. С. 69—86.

43. **Шлыков Г. П.** Аппаратурное определение погрешностей цифровых приборов. М.: Энергоатомиздат, 1985.

44. **Harward S., Harward D.** Gate array ties 16-bit DAC into MP based system//Electronic Design. 1984. V. 32. № 5. P. 25—30.

45. **Holm R. E.** Spectrum analyser on a one chip real time processor//Electronic Design. 1979. V. 27. № 23. P. 70—75.

46. **iAPX 86/88, 186/188.** User's manual programmers referens. Santa Clara: INTEL, 1985. № 210911. P. 7—9.

47. **Microsystem** component handbook. Santa Clara: INTEL, 1986. V. 1. V. 2.

48. **Nailor J. R.** A complete high speed voltage output monolite DAC//EEE Journal of solid state cirquits. 1983. V. CS-18. № 6. P. 729—735.

49. **Thomas L. C.** The biquard-Some practical design considerations//IEEE transact ons on cirquit theory. 1971. V. CT-18. № 5. P. 358—361.

50. **Williams T. B.** The calibration of DAC using differential measurements//IEEE transactions on instrumentation and measurements. 1982. V. IM-31. № 4. P. 261—267.

ОГЛАВЛЕНИЕ

Введение 3

Глава первая. **ОБРАБОТКА ИНФОРМАЦИИ В ПЕРИФЕРИЙНЫХ АНАЛОГО-ЦИФРОВЫХ ПРОЦЕССОРАХ И ОБЛАСТИ ИХ ИСПОЛЬЗОВАНИЯ** 7

Глава вторая. **АРХИТЕКТУРА ПОДСИСТЕМЫ ВВОДА—ВЫВОДА АНАЛОГОВОЙ ИНФОРМАЦИИ В МИКРОПРОЦЕССОРНОЙ СИСТЕМЕ** . . 15

2.1. Задачи организации подсистемы ввода — вывода 15
2.2. Системная оценка аналого-цифровых устройств ввода — вывода 19
2.3. Механизмы обмена, обеспечиваемые центральным процессором 22
2.4. Принципы организации и функциональные возможности существующих и перспективных периферийных БИС ввода — вывода 30

Глава третья. ЛИНЕЙНОЕ ПРЕОБРАЗОВАНИЕ ФОРМЫ ИНФОРМАЦИИ ПОВЫШЕННОЙ ТОЧНОСТИ 42

3.1. Методы повышения точности преобразователей формы информации . . . . . —
3.2. Коррекция цифроаналогового преобразователя с использованием линейной модели дискретных делителей 48
3.3. Коррекция ошибок суперпозиции разрядов дискретных делителей 59
3.4. Снижение информационной избыточности схемы цифроаналогового преобразователя с автоматической коррекцией 65
3.5. Реализация управления и вычислений в самокорректирующихся аналого-цифровых преобразователях последовательных приближений и цифроаналоговых преобразователях 71
3.6. Быстродействующие аналого-цифровые преобразователи с автоматической коррекцией 77

Глава четвертая. ГИБРИДНЫЕ ФУНКЦИОНАЛЬНЫЕ ПРЕОБРАЗОВАТЕЛИ 84

4.1. Табличные функциональные преобразователи . . —
4.2. Кусочно-линейные аппроксиматоры 89
4.3. Полиномиальные и дробно-рациональные функциональные преобразователи 102

Глава пятая. УПРАВЛЯЕМЫЕ ГЕНЕРАТОРЫ СИГНАЛОВ 109

5.1. Аналоговый интегратор с цифровым управлением —
5.2. Генераторы функций времени на основе полиномиальных аппроксимаций 113
5.3. Генераторы функций времени на основе моделирования дифференциальных уравнений 120

Глава шестая. ФИЛЬТРЫ АНАЛОГОВЫХ СИГНАЛОВ 123

6.1. Управляемые аналоговые фильтры . . . . . —
6.2. Цифровые фильтры 132
6.3. Цифроаналоговые фильтры 143

Глава седьмая. СТРУКТУРНЫЙ СИНТЕЗ СИСТЕМ ОБРАБОТКИ АНАЛОГОВОЙ ИНФОРМАЦИИ 148

Заключение 155

Список литературы 157

50 коп.

Интегрирование
цифровых
и аналоговых
средств и принципов
обработки в одной
периферийной БИС обеспечит
уменьшение статических погрешностей,
повышение производительности систем,
их самоконтроль и саморемонт

ЭНЕРГОАТОМИЗДАТ
Ленинградское отделение